

ΚΕΦΑΛΑΙΟ VII

ΜΕΤΡΗΤΕΣ-ΚΑΤΑΧΩΡΗΤΕΣ

7.1 ΜΕΤΡΗΤΕΣ

Όπως αναφέρθηκε στο κεφάλαιο 5, ένα flip-flop μπορεί να απομνημονεύει μόνο ένα ψηφίο μιας δυαδικής πληροφορίας. Έτσι, είναι ευνόητο ότι αν πολλά flip-flops συνδεθούν κατάλληλα μεταξύ τους, μπορούν να απομνημονεύσουν ψηφιολέξεις πολλών ψηφίων. Υπάρχουν δύο κατηγορίες κυκλωμάτων που αποτελούνται από συνδεδεμένα flip-flops και ονομάζονται, ανάλογα με τη λειτουργία που κάνουν, δυαδικοί μετρητές ή καταχωρητές.

Οι δυαδικοί μετρητές ή απλώς μετρητές είναι ακολουθιακά ψηφιακά κυκλώματα που χρησιμοποιούν χρονισμό και μνήμη και είναι πολύ χρήσιμα στα ψηφιακά συστήματα. Χρησιμοποιούνται για να μετρούν γεγονότα, όπως τον αριθμό ωρολογιακών παλμών σε δεδομένο χρόνο (μέτρηση συχνότητας). Επίσης, μπορούν να χρησιμοποιηθούν για τη διαίρεση συχνότητας, την αποθήκευση δεδομένων, όπως στα ψηφιακά ρολόγια, την ακολουθιακή διευθυνσιοδότηση στους υπολογιστές, σε αριθμητικά κυκλώματα κ.α.

Στους μετρητές τα flip-flop είναι συνδεδεμένα μεταξύ τους κατά τέτοιο τρόπο ώστε να ακολουθούν μια προκαθορισμένη πορεία καταστάσεων, όταν εφαρμόζονται παλμοί στην είσοδο του κυκλώματος. Η κατάσταση στην οποία κάθε φορά βρίσκεται το κύκλωμα εξαρτάται απ' τον αριθμό των παλμών εισόδου, που μπορεί με τη σειρά του μπορεί να βρεθεί απ' την εκάστοτε κατάσταση των flip-flop.

Οι μετρητές, ανάλογα με το αν οι μεταβολές στις εξόδους των flip-flop γίνονται ή όχι ταυτόχρονα, με τη βοήθεια ενός παλμού χρονισμού χωρίζονται σε σύγχρονους και ασύγχρονους αντίστοιχα.

Οι μετρητές μετρούν απ' τα κάτω προς τα άνω και λέγονται προς τα άνω ή αύξοντες μετρητές (Up counters) ή απ' τα άνω προς τα κάτω και λέγονται προς τα κάτω ή φθίνοντες μετρητές (Down counters) ή τέλος μετρούν προς τα άνω και προς τα κάτω ανάλογα με την επιλογή του χρήστη και στην περίπτωση αυτή λέγονται άνω/κάτω μετρητές (Up/Down counters).

Ανάλογα με το μέγιστο αριθμό που μπορούν να μετρήσουν οι μετρητές λέγονται μετρητές Modulus X ή Mod X (όπου X ο μέγιστος αριθμός).

7.1.1 Ασύγχρονοι δυαδικοί μετρητές ή μετρητές κυμάτωσης

Ο μετρητής που θα σχεδιαστεί είναι ένας αύξων ασύγχρονος δυαδικός μετρητής ή μετρητής κυμάτωσης (Ripple Counter) MOD 16, που χρησιμοποιεί ακμοπυρόδοτα πυροδοτούμενα στο αρνητικό μέτωπο του παλμού χρονισμού J-K flip-flop. Παρακάτω φαίνεται ο πίνακας αληθείας 7.1 του μετρητή. Παρατηρείται απ' τον πίνακα αληθείας ή πίνακα καταστάσεων, καθώς πρόκειται για ένα ακολουθιακό κύκλωμα, ότι:

Πίνακας 7.1

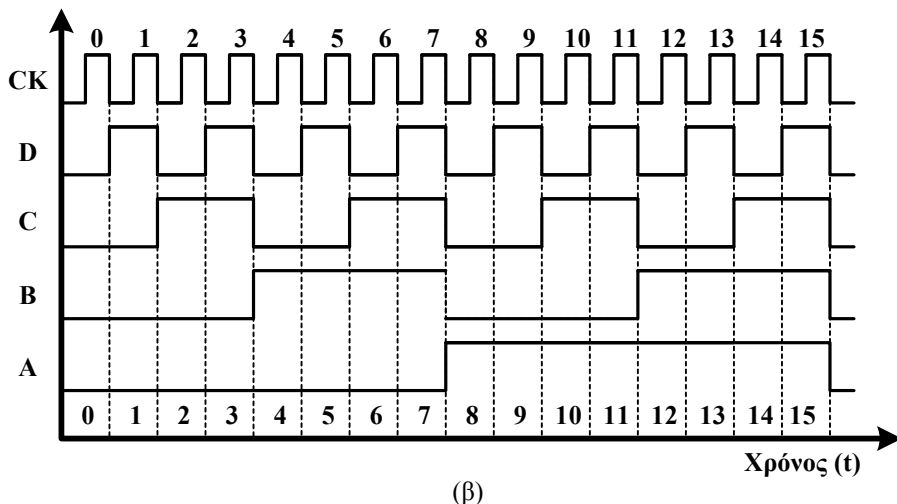
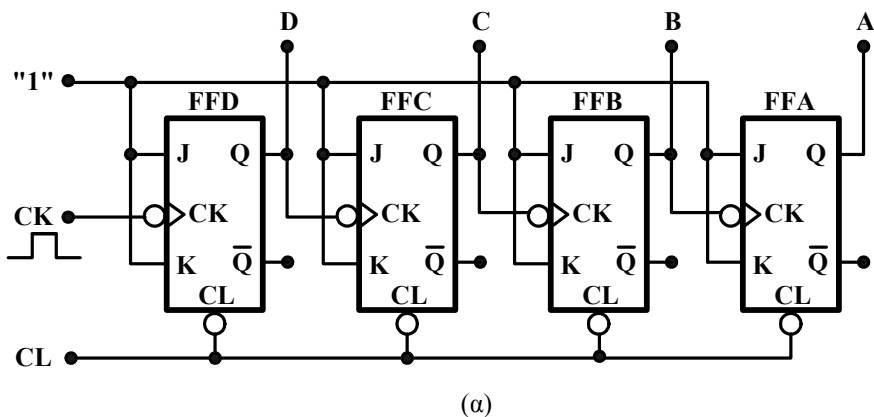
Δεκαδικός	Δυαδικός αύξων				Δεκαδικός	Δυαδικός φθίνων			
	A	B	C	D		A	B	C	D
0	0	0	0	0	15	1	1	1	1
1	0	0	0	1	14	1	1	1	0
2	0	0	1	0	13	1	1	0	1
3	0	0	1	1	12	1	1	0	0
4	0	1	0	0	11	1	0	1	1
5	0	1	0	1	10	1	0	1	0
6	0	1	1	0	9	1	0	0	1
7	0	1	1	1	8	1	0	0	0
8	1	0	0	0	7	0	1	1	1
9	1	0	0	1	6	0	1	1	0
10	1	0	1	0	5	0	1	0	1
11	1	0	1	1	4	0	1	0	0
12	1	1	0	0	3	0	0	1	1
13	1	1	0	1	2	0	0	1	0
14	1	1	1	0	1	0	0	0	1
15	1	1	1	1	0	0	0	0	0
0	0	0	0	0	15	1	1	1	1
Κ.Ο.Κ.					Κ.Ο.Κ.				

Η έξοδος *D* αλλάζει κατάσταση για κάθε παλμό χρονισμού που εφαρμόζεται στην είσοδο *CK*. Αυτή η λειτουργία μπορεί να υλοποιηθεί με ένα J-K flip-flop του οποίου οι είσοδοι *J* και *K* είναι συνδεδεμένες σε λογικό "1", δηλαδή ένα flip-flop τύπου T.

Η έξοδος *C* αλλάζει κατάσταση κάθε φορά που η έξοδος *D* μεταβαίνει από λογικό "1" σε λογικό "0". Η λειτουργία αυτή υλοποιείται με ένα T flip-flop, όπου η έξοδος *D* οδηγεί την είσοδο *CK* του flip-flop C.

Η έξοδος *B* αλλάζει κατάσταση κάθε φορά που η έξοδος *C* μεταβαίνει από λογικό "1" σε λογικό "0". Η λειτουργία αυτή υλοποιείται με ένα T flip-flop, όπου η έξοδος *C* οδηγεί την είσοδο *CK* του flip flop B.

Η έξοδος *A* αλλάζει κατάσταση κάθε φορά που η έξοδος *B* μεταβαίνει από λογικό "1" σε λογικό "0". Η λειτουργία αυτή υλοποιείται με ένα T flip-flop, όπου η έξοδος *B* οδηγεί την είσοδο *CK* του flip flop A.



Σχήμα 7.1 α. Αύξων ασύγχρονος δυαδικός μετρητής MOD 16 β. Χρονικό διάγραμμα του μετρητή.

Στο σχήμα 7.1 φαίνεται το κύκλωμα του υπό σχεδίαση δυαδικού μετρητή τεσσάρων ψηφίων με το χρονικό του διάγραμμα. Ο μετρητής αποτελείται από τέσσερα J-K flip-flop συνδεδεμένα ως T flip-flop, που διαθέτουν μια ανεξάρτητη είσοδο καθαρισμού, και μπορεί, όπως φαίνεται, να μετρήσει απ' το $0000_2 = 0_{10}$ μέχρι και το $1111_2 = 15_{10}$. Η λειτουργία του κυκλώματος είναι η παρακάτω:

Προτού αρχίσει η μέτρηση η έξοδος του μετρητή καθαρίζεται (γίνεται 0000_2), διαμέσου της εισόδου καθαρισμού CL. Το πρώτο flip-flop (FFD) αλλάζει κατάσταση για κάθε παλμό χρονισμού που φτάνει στην είσοδό του. Η έξοδος Q του FFD, που τροφοδοτεί την είσοδο του FFC, αναγκάζει την έξοδο του FFC να αλλάζει κατάσταση σε κάθε δεύτερο παλμό χρονισμού. Η έξοδος του FFC, που τροφοδοτεί την είσοδο του FFB, αναγκάζει την έξοδο του FFB να αλλάζει κατάσταση σε κάθε τέταρτο παλμό χρονισμού. Και τέλος, η έξοδος του FFB, που τροφοδοτεί την είσοδο του FFA, αναγκάζει την έξοδο του FFA να αλλάζει κατάσταση σε κάθε όγδοο παλμό χρονισμού.

Σχεδίαση με CAD

Κατά την εισαγωγή σχεδίασης μπορούν να επιλεγούν συνιστώσες που έχουν κατασκευαστεί απ' το χρήστη, όπως στην προκειμένη περίπτωση η συνιστώσα FF_JK, που κατασκευάστηκε στο κεφάλαιο V και φαίνεται στο σχήμα 5.30, είτε συνιστώσες που εμπεριέχονται στη βιβλιοθήκη *c:\maxplus2\max2lib\prim* του σχεδιαστικού πακέτου της ALTERA και ονομάζονται **βασικά κυκλώματα (primitives)**, όπως στην προκειμένη περίπτωση η συνιστώσα JKFF. Και τα δύο flip-flop είναι ακμοπυρόδωτα και διαφέρουν μόνο ως προς το μέτωπο πυροδότησης. Το flip-flop που σχεδιάστηκε στο κεφάλαιο V πυροδοτείται στο αρνητικό μέτωπο του παλμού χρονισμού ενώ εκείνο που εμπεριέχεται στη βιβλιοθήκη της ALTERA πυροδοτείται στο θετικό μέτωπο του παλμού χρονισμού.

Επιλέγεται λόγω συμβατότητας με τις βιβλιοθήκες της ALTERA να χρησιμοποιηθεί το JKFF. Η εισαγωγή σχεδίασης διαμέσου σχηματικού διαγράμματος μπορεί να γίνει απλά καλώντας απ' τη βιβλιοθήκη το JKFF. Όταν όμως η εισαγωγή γίνει διαμέσου κώδικα VHDL, τότε πρέπει στο πρόγραμμα να εισαχθούν οι τέσσερις επιπλέον γραμμές:

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
LIBRARY ALTERA;  
USE ALTERA.MAXPLUS2.ALL;
```

Οι δύο πρώτες για να επιτρέψουν τη χρήση μορφής σήματος **STANDARD LOGIC** που είναι συμβατή με τις υπόλοιπες λειτουργίες της βιβλιοθήκης, και οι δύο επόμενες για να επιτρέψουν την πρόσβαση στη βιβλιοθήκη της ALTERA, που εμπεριέχει μερικά κοινά βασικά κυκλώματα και στάνταρ στοιχεία TTL, που έχουν ήδη κατασκευαστεί και ελεγχθεί. Επειδή ο μεταγλωττιστής εντέλλεται διαμέσου της εντολής **USE ALTERA.MAXPLUS2.ALL;** να χρησιμοποιήσει τη βιβλιοθήκη της ALTERA Δε χρειάζεται στον κώδικα να συμπεριληφθεί η δήλωση της συνιστώσας JKFF.

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
LIBRARY ALTERA;  
USE ALTERA.MAXPLUS2.ALL;
```

```
ENTITY ascounter IS  
    PORT (CLK                      :IN STD_LOGIC;  
          QoutA, QoutB, QoutC, QoutD :OUT STD_LOGIC);  
END ascounter;
```

```
ARCHITECTURE circuit OF ascounter IS  
    SIGNAL CLKnot, QBnot, QCnot, QDnot, QA, QB, QC, QD, HIGH :STD_LOGIC;
```

```

BEGIN
    HIGH<='1';
    CLKnot<=NOT CLK;
    QDnot<=NOT QD;
    QCnot<=NOT QC;
    QBnot<=NOT QB;
FFD: JKFF
    PORT MAP (J=>HIGH, K=>HIGH, CLK=>CLKnot, CLRN=>HIGH,
              PRN=>HIGH, Q=>QD);
FFC: JKFF
    PORT MAP (J=>HIGH, K=>HIGH, CLK=>QDnot, CLRN=>HIGH,
              PRN=>HIGH, Q=>QC);
FFB: JKFF
    PORT MAP (J=>HIGH, K=>HIGH, CLK=>QCnot, CLRN=>HIGH,
              PRN=>HIGH, Q=>QB);
FFA: JKFF
    PORT MAP (J=>HIGH, K=>HIGH, CLK=>QBnot, CLRN=>HIGH,
              PRN=>HIGH, Q=>QA);
QoutA<=QA;
QoutB<=QB;
QoutC<=QC;
QoutD<=QD;
END circuit;

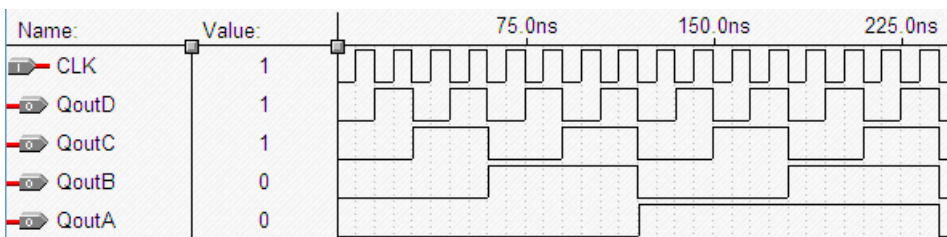
```

Τα ενδιάμεσα σήματα QA , QB , QC , QD δηλώνονται, διότι τα σήματα $QoutA$, $QoutB$, $QoutC$, $QoutD$ δηλώνονται ως έξοδοι μόνο και επομένως δεν μπορούν να διαβαστούν ως εισόδοι στις επόμενες βαθμίδες. Τα άλλα τρία σήματα $QBnot$, $QCnot$, $QDnot$ είναι απλώς τα συμπληρώματα των σημάτων QB , QC , QD . Το σήμα $HIGH$ χρησιμοποιείται για να λειτουργήσει ως σύρμα που θα συνδέει τις εισόδους J , K , PRN και CLN σε λογικό "1".

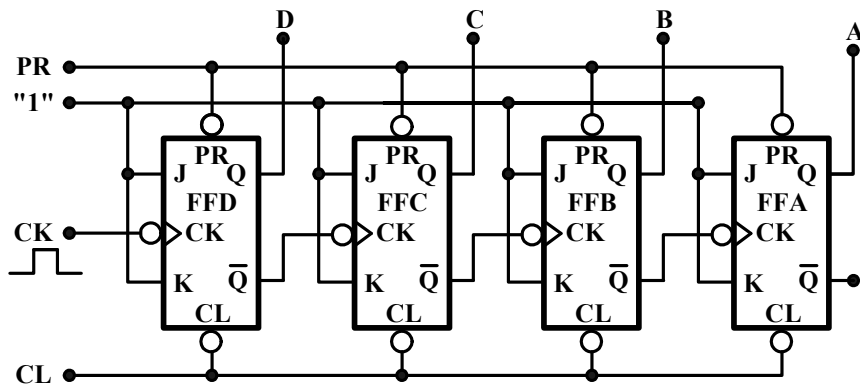
Αμέσως μετά τη λέξη κλειδί **BEGIN** ακολουθούν οι εντολές που δημιουργούν τα συμπληρωματικά σήματα, που προορίζονται για τις εισόδους CLK των flip-flop.

Τα **FFD: JKFF**, **FFC: JKFF**, **FFB: JKFF** και **FFA: JKFF** είναι στιγμιότυπα της συνιστώσας JKFF.

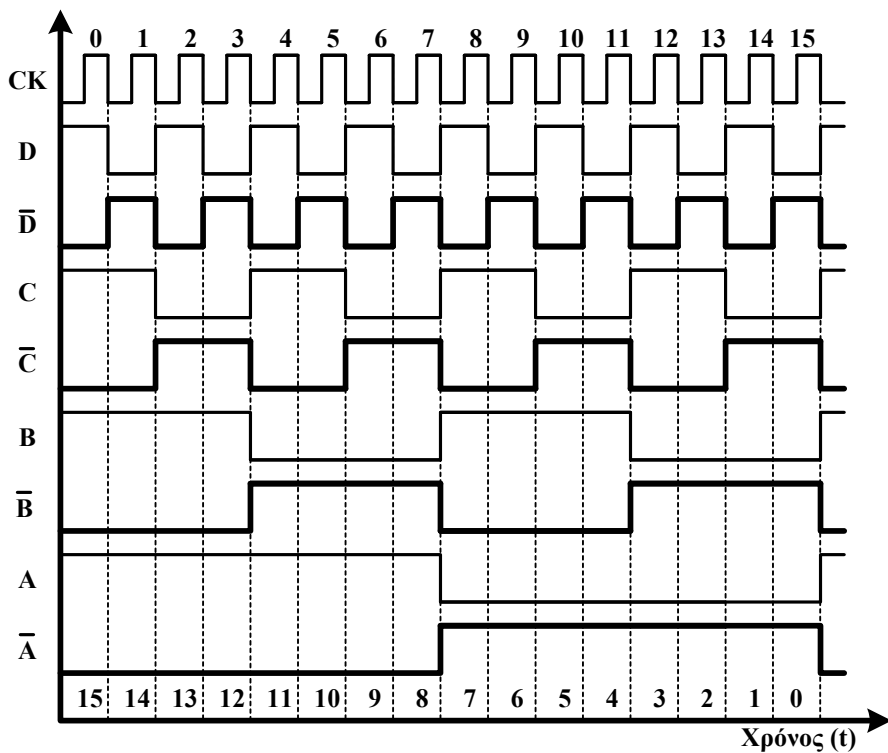
Αποτέλεσμα προσομοίωσης.



Ο μετρητής, που θα σχεδιαστεί στη συνέχεια, μετρά απ' το δεκαπέντε προς το μηδέν και λέγεται **ασύγχρονος φθίνων μετρητής**. Ο φθίνων δυαδικός μετρητής MOD 16 μπορεί να σχεδιαστεί με την ίδια λογική, όπως και ο αύξων μετρητής. Απ' τον πίνακα αληθείας 7.1 του φθίνοντα μετρητή παρατηρείται ότι:



(α)



(β)

Σχήμα 7.2 α. Ασύγχρονος φθίνων δυαδικός μετρητής β. Το λογικό του διάγραμμα.

Η έξοδος D αλλάζει κατάσταση για κάθε παλμό χρονισμού. Αυτή η λειτουργία μπορεί να υλοποιηθεί με ένα J-K flip-flop του οποίου οι εισόδοι J και K είναι συνδεδεμένες σε λογικό "1", δηλαδή ένα flip-flop τύπου T.

Η έξοδος C αλλάζει κατάσταση κάθε φορά που η έξοδος D μεταβαίνει από λογικό "0" σε λογικό "1" και επομένως η συμπληρωματική της μεταβαίνει από λογικό "1" σε λογικό "0". Η λειτουργία αυτή υλοποιείται με ένα T flip-flop του οποίου η είσοδος CK οδηγείται απ' τη συμπληρωματική έξοδο $\bar{D}$ του flip-flop D.

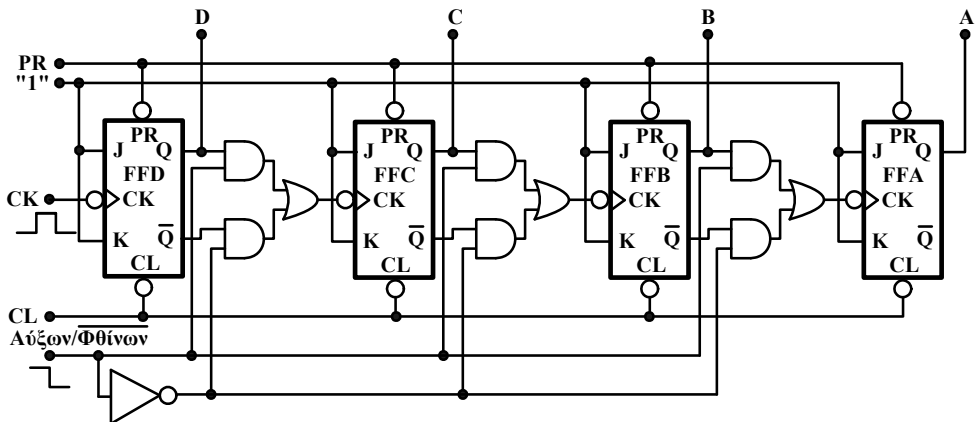
Η έξοδος B αλλάζει κατάσταση κάθε φορά που η έξοδος C μεταβαίνει από λογικό "0" σε λογικό "1" και επομένως η συμπληρωματική της μεταβαίνει από λογικό "1" σε λογικό "0". Η λειτουργία αυτή υλοποιείται με ένα T flip-flop του οποίου η είσοδος CK οδηγείται απ' τη συμπληρωματική έξοδο $\bar{C}$ του flip-flop C.

Η έξοδος A αλλάζει κατάσταση κάθε φορά που η έξοδος B μεταβαίνει από λογικό "0" σε λογικό "1" και επομένως η συμπληρωματική της μεταβαίνει από λογικό "1" σε λογικό "0". Η λειτουργία αυτή υλοποιείται με ένα T flip-flop του οποίου η είσοδος CK οδηγείται απ' τη συμπληρωματική έξοδο $\bar{B}$ του flip-flop B.

Με βάση τα παραπάνω συντίθεται ο φθίνων ασύγχρονος δυαδικός μετρητής MOD 16, που φαίνεται στο σχήμα 7.2α, όπου οι εισόδοι CK των επόμενων flip-flop οδηγούνται απ' τις συμπληρωματικές εξόδους των προηγούμενων, όπως φαίνεται και απ' το διάγραμμα χρονισμού του μετρητή (σχήμα 7.2β).

Προτού αρχίσει η μέτρηση, οι έξοδοι των flip-flop προτοποθετούνται διαμέσου των εισόδων Preset στην αρχική κατάσταση $1111_2 = 15_{10}$.

Αν συνδυαστούν οι δύο προηγούμενοι μετρητές, μπορεί να προκύψει ένας νέος μετρητής που μπορεί να λειτουργήσει ως αύξων ή φθίνων αν, με ένα κατάλληλο σύστημα πυλών, η διέγερση της εισόδου CK κάθε flip-flop γίνεται, αντίστοιχα, απ' την έξοδο Q ή τη συμπληρωματική της του προηγούμενου flip-flop. Στο σχήμα 7.3 φαίνεται ένας αύξων/φθίνων (Up/Down) ασύγχρονος δυαδικός μετρητής MOD 16.



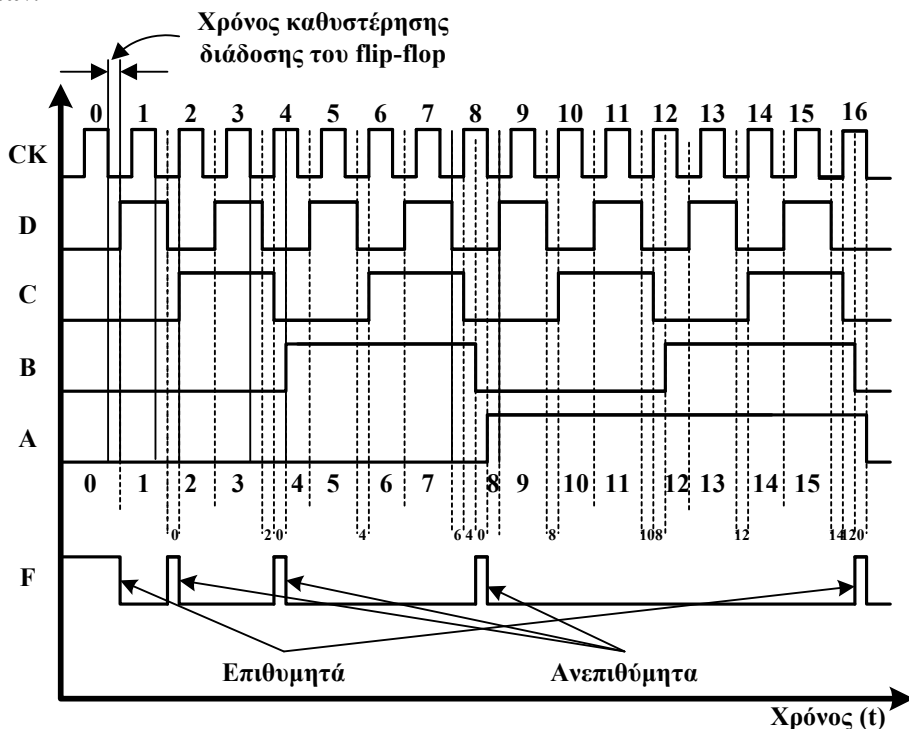
Σχήμα 7.3 Αύξων/φθίνων ασύγχρονος δυαδικός μετρητής.

Στο μετρητή του σχήματος 7.3, όταν η είσοδος αύξων/φθίνων είναι σε λογικό "1", μέσα απ' το κύκλωμα των πυλών στη είσοδο CK κάθε flip-flop εφαρμόζεται η έξοδος Q

του προηγούμενου flip-flop. Επομένως, ο μετρητής θα μετρά ως αύξων μετρητής. Όταν η είσοδος αύξων/φθίνων είναι σε λογικό "0", μέσα απ' το κύκλωμα των πυλών στη είσοδο CK κάθε flip-flop εφαρμόζεται η έξοδος Q του προηγούμενου flip-flop. Επομένως, ο μετρητής θα μετρά ως φθίνων μετρητής.

7.1.2 Προβλήματα των ασύγχρονων δυαδικών μετρητών

Τα διαγράμματα χρονισμού, που χρησιμοποιήθηκαν στους προηγούμενους μετρητές, είναι ιδανικά και είχαν σκοπό να βοηθήσουν στην κατανόηση της λειτουργίας των μετρητών.



Σχήμα 7.4 Πραγματικό διάγραμμα χρονισμού ασύγχρονου δυαδικού μετρητή που δείχνει τις ανεπιθύμητες καταστάσεις στην έξοδο του μετρητή.

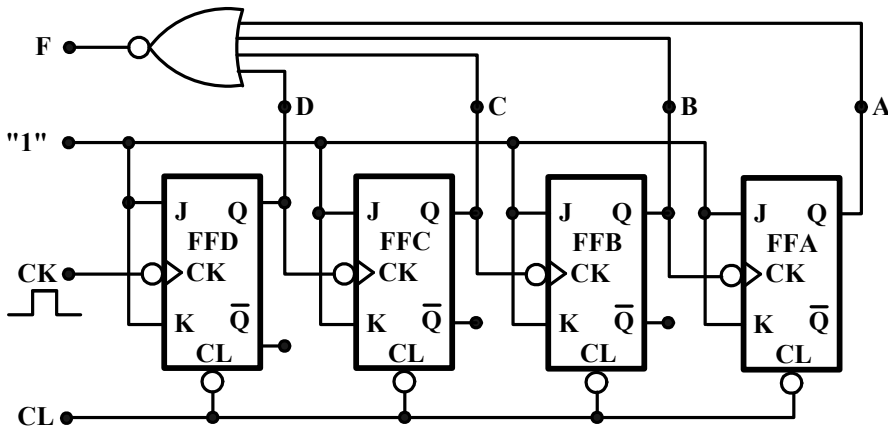
Παρατηρώντας τα χρονικά διαγράμματα των παραπάνω μετρητών φαίνεται ότι πέρα από μέτρηση οι μετρητές κάνουν και διαίρεση συχνότητας. Έτσι, η έξοδος του FFD έχει τη μισή συχνότητα του CK. Η έξοδος του FFC έχει τη μισή συχνότητα του FFD και το 1/4 της συχνότητας του CK κ.ο.κ. Επομένως, ο παραπάνω μετρητής, ανάλογα με το ποια έξοδος θα χρησιμοποιηθεί, μπορεί να κάνει διαίρεση της συχνότητας του ωρολογιακού παλμού δια του 2, 4, 8 και 16.

Το βασικό μειονέκτημα των παραπάνω μετρητών οφείλεται στην καθυστέρηση διάδοσης του παλμού διαμέσου των flip-flop. Έτσι, όταν αλλάζει κατάσταση ο ωρολογιακός παλμός, η έξοδος του FFD αλλάζει κατάσταση μετά από πάροδο χρόνου t_{PD} , που είναι ο

χρόνος καθυστέρησης διάδοσης (Propagation Delay) του σήματος διαμέσου του FFD. Με την ίδια λογική, μετά το δεύτερο παλμό, η κατάσταση στην έξοδο του FFC θα αλλάξει μετά από χρόνο $2t_{PD}$, μετά τον τέταρτο παλμό η κατάσταση στην έξοδο του FFB θα αλλάξει με καθυστέρηση $3t_{PD}$ και μετά τον όγδοο παλμό η κατάσταση στην έξοδο του FFA θα αλλάξει με καθυστέρηση $4t_{PD}$. Αυτό το γεγονός θέτει τον περιορισμό, η συχνότητα του ωρολογιακού παλμού να είναι μικρότερη από $1/8t_{PD}$.

Στο διάγραμμα χρονισμού, που φαίνεται στο σχήμα 7.4, όπου έχει ληφθεί υπόψη ο χρόνος καθυστέρησης διάδοσης του flip-flop, φαίνεται η ανακολουθία στη μέτρηση. Τα χρονικά διαστήματα ανακολουθίας μπορεί να είναι μικρά ή μεγάλα ανάλογα με τη συχνότητα του παλμού χρονισμού και τον χρόνο καθυστέρησης διάδοσης του flip-flop. Αυτό περιορίζει την ικανότητα του μετρητή να μετρά με ακρίβεια σε συστήματα υψηλών συχνοτήτων ρολογιού.

Παρατηρώντας με προσοχή το χρονοδιάγραμμα του σχήματος 7.4, διαπιστώνεται ότι η καθυστέρηση διάδοσης του flip-flop δεν επηρεάζει τη λειτουργία του κυκλώματος ως διαιρέτη συχνότητας. Πράγματι, η έξοδος *A* έχει ακριβώς το $1/2$, η έξοδος *B* το $1/4$, η έξοδος *C* το $1/8$ και η έξοδος *D* το $1/16$ της συχνότητας του παλμού χρονισμού. Επομένως, δεν υπάρχει κανένα πρόβλημα στη λειτουργία του ασύγχρονου δυαδικού μετρητή ως διαιρέτη συχνότητας.

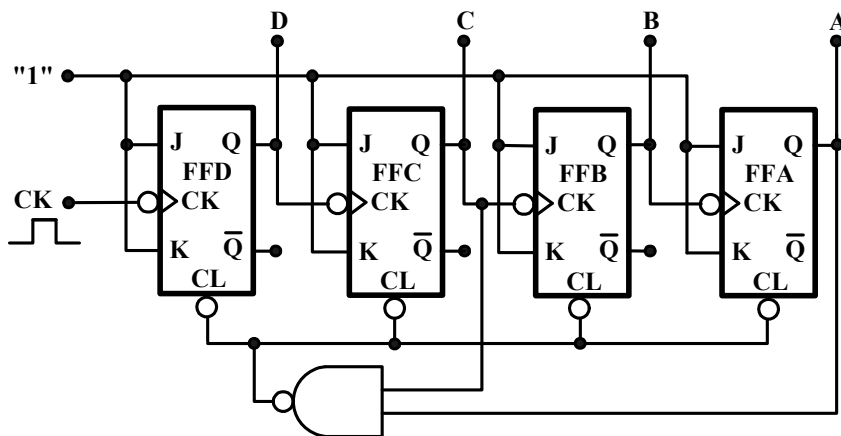
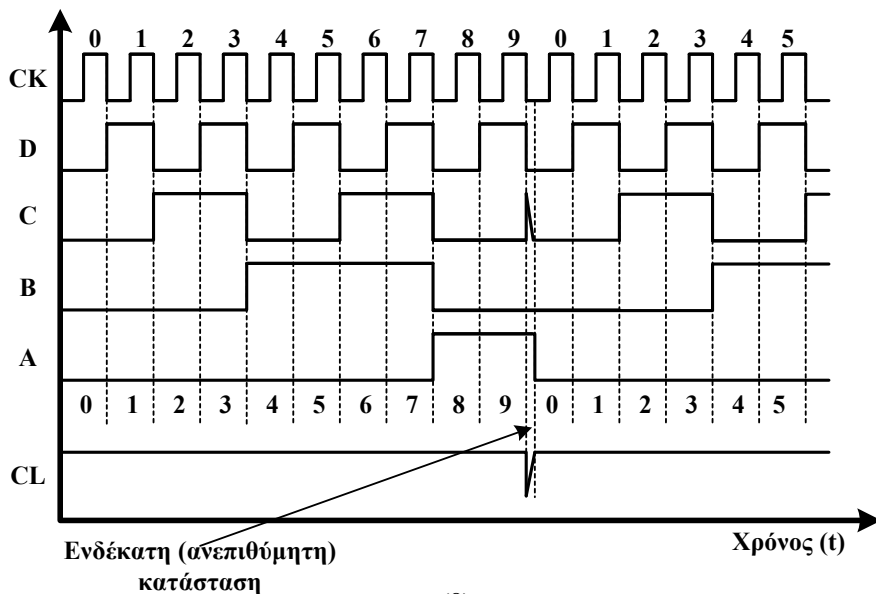


Σχήμα 7.5 Ο ασύγχρονος μετρητής ως πυροδότης.

Πολλές φορές, στα ψηφιακά συστήματα χρειάζεται, αφού ο μετρητής μετρήσει κάποιο συγκεκριμένο αριθμό γεγονότων, να πυροδοτήσει την είσοδο κάποιου άλλου κυκλώματος. Το κύκλωμα του σχήματος 7.5 έχει σχεδιαστεί για να κάνει ακριβώς αυτή την εργασία. Όταν η έξοδος *F* γίνει λογικό "1", θα πυροδοτεί κάποιο άλλο κύκλωμα. Ενώ όμως, κάτω από ιδανικές συνθήκες, η έξοδος *F* θα πρέπει να είναι λογικό "1" κάθε δεκάξι μετρήσεις, παρατηρείται απ' το διάγραμμα χρονισμού ότι η έξοδος γίνεται λογικό "1" τρεις φορές. Αυτό μπορεί να προκαλέσει προβλήματα στη λειτουργία του συστήματος και επομένως περιορίζει τη δυνατότητα χρησιμοποίησης του ασύγχρονου μετρητή σε συστήματα χαμηλών συχνοτήτων ρολογιού.

7.1.3 Ασύγχρονοι δυαδικοί μετρητές διαφόρων χωρητικοτήτων

Με βάση τα όσα ειπώθηκαν παραπάνω μπορεί εύκολα να σχεδιαστεί ένας μετρητής μιας επιθυμητής χωρητικότητας, που θα λειτουργεί ως διαιρέτης συχνότητας, π.χ. δεκαδικός μετρητής (διαίρεση συχνότητας ρολογιού δια του δέκα), εξαδικός μετρητής (διαίρεση συχνότητας ρολογιού δια του έξι) κ.λ.π., αρκεί ο μετρητής, μετά τον τελευταίο επιθυμητό παλμό, να επανέρχεται αυτόματα στην κατάσταση "0". Δηλαδή, $FFA=0$, $FFB=0$, $FFC=0$, $FFD=0$. Έτσι, με τον αμέσως επόμενο παλμό η μέτρηση θα αρχίσει ξανά. Οι μετρητές (διαιρέτες συχνότητας) αυτοί ονομάζονται μετρητές $MOD-X$. Όπου X είναι ο αριθμός δια του οποίου διαιρείται η συχνότητα του ωρολογιακού παλμού.


$$(\alpha)$$
 (β)

Σχήμα 7.6 α. Ασύγχρονος δυαδικός μετρητής MOD 10 β. Το διάγραμμα χρονισμού του.

Τα κυκλώματα αυτά μπορούν εύκολα να υλοποιηθούν με τη βοήθεια μιας πύλης NAND στην είσοδο της οποίας οδηγούνται οι έξοδοι, που γίνονται λογικό "1", όταν συμβεί ο συγκεκριμένος αριθμός μέτρησης. Η έξοδος της πύλης NAND θα γίνει λογικό "0", όταν όλες οι είσοδοι γίνουν "1". Αυτή η έξοδος οδηγείται στις εισόδους CLEAR των flip-flops για να μηδενίσει τον μετρητή.

Για να γίνει περισσότερο κατανοητή η παραπάνω διαδικασία θεωρείται ότι απαιτείται να σχεδιαστεί ένας μετρητής MOD 10, που λέγεται και **δεκαδικός μετρητής** και είναι ίσως ο πιο εύχρηστος μετρητής. Ακολουθώντας την παραπάνω διαδικασία σχεδίασης συντίθεται το κύκλωμα του μετρητή, που φαίνεται στο σχήμα 7.6.

Παρατηρείται ότι ο μετρητής θα μετρά απ' το $0000_2 = 0_{10}$ μέχρι και το $1001_2 = 9_{10}$ και όταν θα πάει να μετρήσει τον αριθμό $1010_2 = 10_{10}$, οι είσοδοι *A* και *C* θα γίνουν "1" και οι δύο, η έξοδος της πύλης NAND θα γίνει "0" και θα καθαρίσει εξόδους όλων των flip-flop. Ο παραπάνω μετρητής έχει το μειονέκτημα ότι χρειάζεται επί πλέον πύλες και ότι η συνθήκη "0" ποτέ δεν συμβαίνει για τον πλήρη χρονοπαλμό. Επίσης, υπάρχει πάντα μία ενδέκατη κατάσταση που διαρκεί μόνο για πολύ μικρό χρονικό διάστημα (όσο χρειάζεται να καθαριστούν τα flip-flop). Σε πολλές εφαρμογές αυτή η ανεπιθύμητη κατάσταση είναι πολύ μικρής διάρκειας, δεν εντοπίζεται και δεν δημιουργεί πρόβλημα. Αν όμως υπάρχει περίπτωση να δημιουργήσει πρόβλημα, τότε χρησιμοποιούνται ασύγχρονοι μετρητές άμεσου μηδενισμού ή σύγχρονοι μετρητές.

Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
LIBRARY ALTERA;
USE ALTERA.MAXPLUS2.ALL;

ENTITY ascounter_10 IS
    PORT (CLK                :IN STD_LOGIC;
          QoutA, QoutB, QoutC, QoutD :OUT STD_LOGIC);
END ascounter_10;

ARCHITECTURE circuit OF ascounter_10 IS
    SIGNAL CLKnot, QBnot, QCnot, QDnot, CLRNnot,
           QA, QB, QC, QD, HIGH      :STD_LOGIC;
    BEGIN
        HIGH<='1';
        CLKnot<=NOT CLK;
        QDnot<=NOT QD;
        QCnot<=NOT QC;
        QBnot<=NOT QB;
    
```

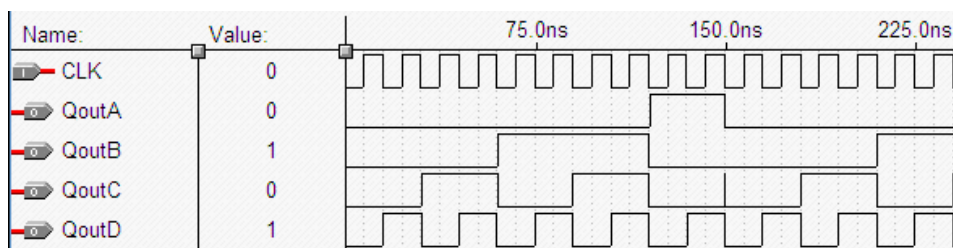
```

        CLRNnot<=NOT(QA AND QC);
FFD: JKFF
    PORT MAP (J=>HIGH, K=>HIGH, CLK=>CLKnot, CLRN=>CLRNnot,
              PRN=>HIGH, Q=>QD);
FFC: JKFF
    PORT MAP (J=>HIGH, K=>HIGH, CLK=>QDnot, CLRN=>CLRNnot,
              PRN=>HIGH, Q=>QC);
FFB: JKFF
    PORT MAP (J=>HIGH, K=>HIGH, CLK=>QCnot, CLRN=>CLRNnot,
              PRN=>HIGH, Q=>QB);
FFA: JKFF
    PORT MAP (J=>HIGH, K=>HIGH, CLK=>QBnot, CLRN=>CLRNnot,
              PRN=>HIGH, Q=>QA);

QoutA<=QA;
QoutB<=QB;
QoutC<=QC;
QoutD<=QD;
END circuit;

```

Αποτέλεσμα προσομοίωσης.



7.1.4 Σύγχρονοι δυαδικοί μετρητές

Για να αποφευχθούν τα προβλήματα που δημιουργεί η χρήση των ασύγχρονων δυαδικών μετρητών, χρησιμοποιούνται οι σύγχρονοι δυαδικοί μετρητές, που χαρακτηρίζονται απ' το γεγονός ότι τα flip-flop αλλάζουν κατάσταση όλα μαζί ταυτόχρονα, με αποτέλεσμα, μεταξύ άλλων, την αύξηση της ταχύτητας μέτρησης του μετρητή.

Απ' τον πίνακα αληθείας 7.1 του αύξοντα μετρητή παρατηρείται ότι:

Το flip-flop D αλλάζει κατάσταση για κάθε παλμό χρονισμού. Αυτό μπορεί να επιτευχθεί με το να συνδεθούν οι εισόδους J_A και K_A ενός J-K flip-flop σε λογικό "1".

Το flip-flop C αλλάζει κατάσταση με την έξοδο του χρονοπαλμού και μόνο όταν αυτός βρίσκει την έξοδο του FFD σε λογικό "1". Αυτή η αλλαγή μπορεί να επιβληθεί σ' ένα J-K flip-flop με το να συνδεθεί η έξοδος D στις εισόδους J_C και K_C του flip-flop.

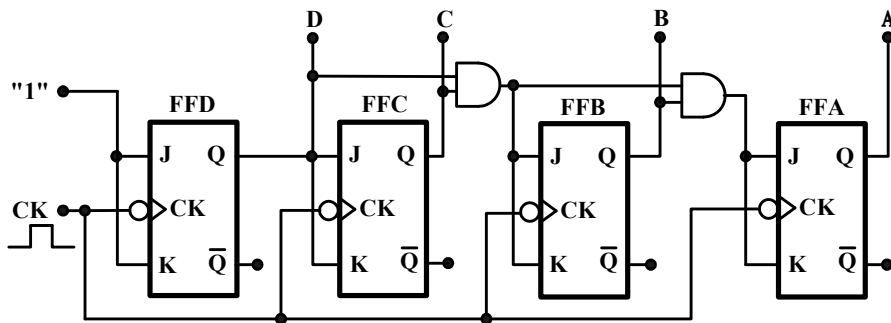
Το flip-flop B αλλάζει κατάσταση με την έξοδο του χρονοπαλμού και μόνο όταν αυτός βρίσκει τις εξόδους των FFD και FFC σε λογικό "1". Αυτή η αλλαγή μπορεί να επιβληθεί

σ' ένα J-K flip-flop με το να συνδεθεί η έξοδος μιας πύλης AND, που οδηγείται απ' τις εξόδους των FFD και FFC, στις εισόδους J_B και K_B του flip-flop.

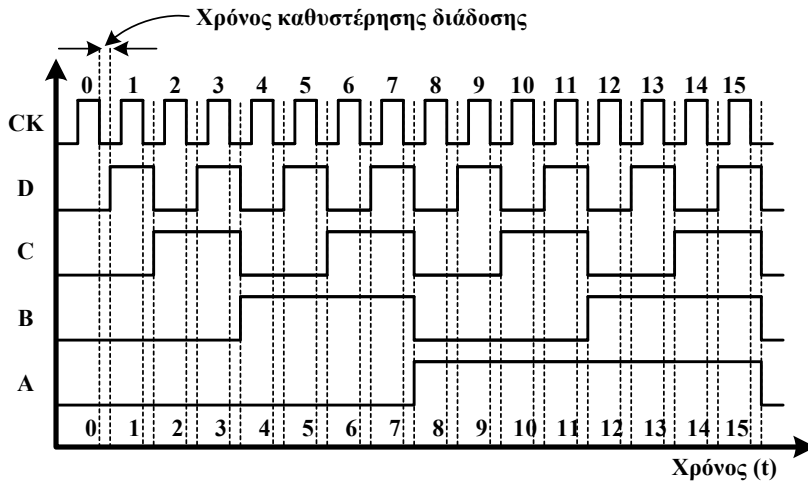
Το flip-flop A αλλάζει κατάσταση με την έξοδο του παλμού χρονισμού και μόνο όταν οι εξόδοι και του flip-flop D και του flip-flop C και του flip-flop B είναι σε λογικό "1". Αυτή η αλλαγή μπορεί να επιβληθεί σ' ένα J-K flip-flop με το να συνδεθεί η έξοδος μιας πύλης AND, που οδηγείται απ' τις εξόδους των FFD, FFC και FFB, στις εισόδους J_A και K_A του flip-flop.

Με βάση την παραπάνω λογική συντίθεται το κύκλωμα του μετρητή που φαίνεται στο σχήμα 7.7α.

Στο σχήμα 7.7β φαίνεται το διάγραμμα χρονισμού του μετρητή. Παρατηρείται ότι ο χρόνος καθυστέρησης διάδοσης είναι ίδιος για όλες τις εξόδους και ίσος με το χρόνο καθυστέρησης διάδοσης του ενός flip-flop.



(α)



(β)

Σχήμα 7.7 α. Σύγχρονος αύξων δυαδικός μετρητής MOD 16 β. Διάγραμμα χρονισμού του.

Αν παρατηρηθεί προσεκτικά η διαδικασία ανάλυσης του παραπάνω μετρητή θα φανεί ότι κάθε επόμενο flip-flop αλλάζει κατάσταση με την έξοδο του παλμού χρονισμού μόνο όταν όλες οι εξοδοί των προηγούμενων flip-flop είναι σε λογικό "1". Βασίζόμενοι σ' αυτή την παρατήρηση μπορούμε να γράψουμε μια γενική εξίσωση, που θα περιγράφει την απαραίτητη συνδυαστική λογική που χρειάζεται για να σχεδιαστεί ένας σύγχρονος δυαδικός μετρητής m βαθμίδων χρησιμοποιώντας T flip-flop.

Έτσι, για έναν μετρητή m βαθμίδων θα ισχύει:

$$T_n = Q_{n-1}Q_{n-2}Q_{n-3}\dots Q_2Q_1Q_0 \quad \text{όπου } 1 \leq n \leq m-1$$

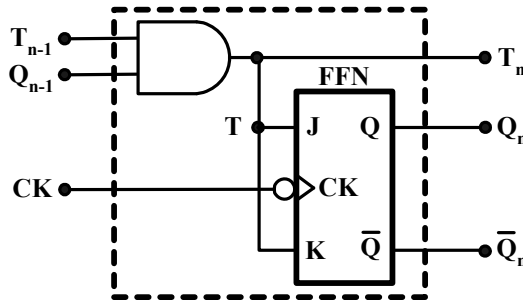
Η είσοδος T για την βαθμίδα 0 είναι πάντα συνδεδεμένη σε λογικό "1". Με βάση την παραπάνω εξίσωση μπορούν να γραφτούν οι λογικές εξισώσεις ενός σύγχρονου δυαδικού μετρητή έξι βαθμίδων.

$$T_0=1, T_1=Q_0, T_2=Q_0Q_1, T_3=Q_0Q_1Q_2, T_4=Q_0Q_1Q_2Q_3, T_5=Q_0Q_1Q_2Q_3Q_4$$

Οι εξισώσεις αυτές μπορούν να ελαχιστοποιηθούν και να δώσουν:

$$T_0=1, T_1=Q_0, T_2=Q_0Q_1, T_3=T_2Q_2, T_4=T_3Q_3, T_5=T_4Q_4$$

Με βάση τις εξισώσεις αυτές συντίθεται η γενική βαθμίδα, που φαίνεται στο σχήμα 7.8, και αποτελεί το σπόνδυλο του σύγχρονου δυαδικού μετρητή. Η είσοδος T_{n-1} ονομάζεται και κρατούμενο εισόδου και η έξοδος T_n ονομάζεται και κρατούμενο εξόδου.



Σχήμα 7.8 Γενικός σπόνδυλος ασύγχρονου δυαδικού μετρητή με T flip-flop

Σύνδεση ένας αριθμού m σπονδύλων μεταξύ τους μπορεί να δώσει έναν μετρητή m ψηφίων.

ΠΑΡΑΔΕΙΓΜΑ 7.1

Να σχεδιαστεί ένας σύγχρονος αύξων μετρητής MOD-16, που θα χρησιμοποιεί J-K flip-flop.

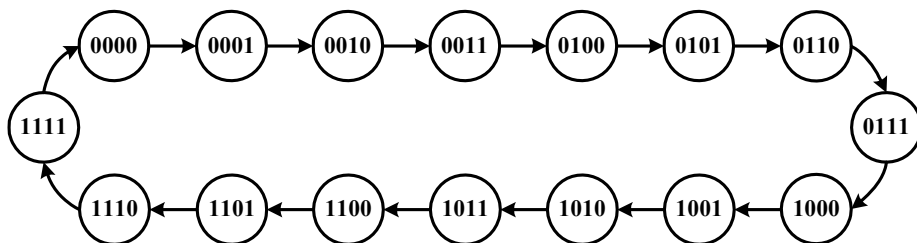
Διαδικασία σχεδίασης

Οι σύγχρονοι δυαδικοί μετρητές είναι κατεξοχήν σύγχρονα ακολουθιακά κυκλώματα και επομένως, μπορούν να σχεδιαστούν με βάση τη διαδικασία σχεδίασης των σύγχρονων ακολουθιακών κυκλωμάτων που παρουσιάστηκε στο προηγούμενο κεφάλαιο. Μπορούν να σχεδιαστούν έτσι, ώστε να χρησιμοποιούν οποιοδήποτε flip-flop, να μετρούν σε οποιοδήποτε κώδικα, και να έχουν οποιαδήποτε χωρητικότητα.

Προσοχή: Σε κάθε περίπτωση οι πίνακες Karnaugh που θα χρησιμοποιηθούν θα αντιστοιχούν στον κώδικα που χρησιμοποιείται απ' τον υπό σχεδίαση μετρητή.

ΒΗΜΑ 1: Διάγραμμα καταστάσεων

Το πρώτο βήμα αφορά στην κατασκευή του διαγράμματος καταστάσεων με βάση τον πίνακα αληθείας 7.1 του μετρητή, που δείχνει τις διαδοχικές καταστάσεις απ' τις οποίες θα περνά ο αύξων μετρητής όταν θα εφαρμοστεί το ρολόι. Στο σχήμα 7.9 φαίνεται το διάγραμμα καταστάσεων του αύξοντα μετρητή MOD-16. Αυτό ειδικά το κύκλωμα δεν έχει άλλη είσοδο, εκτός απ' το ρολόι, και δεν έχει άλλες εξόδους, εκτός απ' τις εξόδους των flip-flop.



Σχήμα 7.9 Διάγραμμα καταστάσεων σύγχρονου αύξοντα μετρητή MOD-16.

ΒΗΜΑ 2ο: Σύνταξη πίνακα καταστάσεων

Στο δεύτερο βήμα, με βάση το διάγραμμα καταστάσεων, συντάσσεται ο πίνακας καταστάσεων 7.4 του μετρητή, στον οποίο παρατίθεται η παρούσα κατάσταση και η αντίστοιχη επόμενη κατάσταση. Ως επόμενη κατάσταση ορίζεται η κατάσταση στην οποία θα πάει ο μετρητής απ' την παρούσα κατάσταση με την εφαρμογή του επόμενου παλμού χρονισμού. Επειδή ο πίνακας αυτός δίνει και τις μεταβάσεις των εξόδων απ' την παρούσα στην επόμενη κατάσταση, μπορεί να ονομαστεί και πίνακας μεταβάσεων.

Πίνακας 7.4

Δ	Παρούσα κατάσταση				Επόμενη κατάσταση			
	Q_A	Q_B	Q_C	Q_D	Q_A^+	Q_B^+	Q_C^+	Q_D^+
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	0	1	1
11	1	0	1	1	1	1	0	0
12	1	1	0	0	1	1	0	1
13	1	1	0	1	1	1	1	0
14	1	1	1	0	1	1	1	1
15	1	1	1	1	0	0	0	0

ΒΗΜΑ 3ο: Σύνταξη πίνακα μεταβάσεων του flip-flop

Στο τρίτο βήμα συντάσσεται, με βάση τον πίνακα μεταβάσεων 7.4 του μετρητή και τον πίνακα διεγέρσεων 5.7 του J-K flip-flop, ο πίνακας διεγέρσεων 7.5 του μετρητή. Ο πίνακας διεγέρσεων περιέχει τις τιμές των εισόδων J και K για όλες τις δυνατές μεταβάσεις της εξόδου απ' την παρούσα κατάσταση Q στην επόμενη κατάσταση Q^+ , μετά την εφαρμογή ενός παλμού χρονισμού.

Ο πίνακας διεγέρσεων του flip-flop εφαρμόζεται για κάθε ένα απ' τα flip-flop που χρησιμοποιούνται, προκειμένου να υπολογιστούν οι συναρτήσεις των εισόδων J και K κάθε flip-flop ξεχωριστά σύμφωνα με τον πίνακα καταστάσεων του μετρητή. Για παράδειγμα, για παρούσα κατάσταση 0000₂ η επόμενη κατάσταση είναι 0001₂. Επομένως, η έξοδος του flip-flop D θα πάει απ' το "0" → "1" και για να γίνει αυτό πρέπει $J_D=1$ και $K_D=X$, όπως φαίνεται απ' τον πίνακα μεταβάσεων του flip-flop. Η έξοδος του flip-flop C θα πάει απ' το "0" → "0" και για να γίνει αυτό πρέπει $J_C=0$ και $K_C=X$, όπως φαίνεται απ' τον πίνακα μεταβάσεων του flip-flop. Η έξοδος του flip-flop B θα πάει απ' το 0 → 0 και για να γίνει αυτό πρέπει $J_B=0$ και $K_B=X$, όπως φαίνεται απ' τον πίνακα μεταβάσεων του flip-flop. Τέλος, η έξοδος του flip-flop A θα πάει απ' το "0" → "0" και για να γίνει αυτό πρέπει $J_A=0$ και $K_A=X$, όπως φαίνεται απ' τον πίνακα μεταβάσεων του flip-flop. Αυτή η ανάλυση επαναλαμβάνεται για κάθε παρούσα κατάσταση του πίνακα καταστάσεων.

Πίνακας 7.5

Παρούσα κατάσταση					Επόμενη κατάσταση				Είσοδοι διέγερσης των flip-flop			
Δ	Q_A	Q_B	Q_C	Q_D	Q_A^+	Q_B^+	Q_C^+	Q_D^+	JK_A	JK_B	JK_C	JK_D
0	0	0	0	0	0	0	0	1	0X	0X	0X	1X
1	0	0	0	1	0	0	1	0	0X	0X	1X	X1
2	0	0	1	0	0	0	1	1	0X	0X	X0	1X
3	0	0	1	1	0	1	0	0	0X	1X	X1	X1
4	0	1	0	0	0	1	0	1	0X	X0	0X	1X
5	0	1	0	1	0	1	1	0	0X	X0	1X	X1
6	0	1	1	0	0	1	1	1	0X	X0	X0	1X
7	0	1	1	1	1	0	0	0	1X	X1	X1	X1
8	1	0	0	0	1	0	0	1	X0	0X	0X	1X
9	1	0	0	1	1	0	1	0	X0	0X	1X	X1
10	1	0	1	0	1	0	1	1	X0	0X	X0	1X
11	1	0	1	1	1	1	0	0	X0	1X	X1	X1
12	1	1	0	0	1	1	0	1	X0	X0	0X	1X
13	1	1	0	1	1	1	1	0	X0	X0	1X	X1
14	1	1	1	0	1	1	1	1	X0	X0	X0	1X
15	1	1	1	1	0	0	0	0	X0	X1	X1	X1

Απ' τον πίνακα διεγέρσεων προκύπτει:

$$J_A = \Sigma(7), A.O. = \Sigma(8,9,10,11,12,13,14,15), K_A = \Sigma(15), A.O. = \Sigma(0,1,2,3,4,5,6,7)$$

$$J_B = \Sigma(3,11), A.O. = \Sigma(4,5,6,7,12,13,14,15), K_B = \Sigma(7,15), A.O. = \Sigma(0,1,2,3,8,9,10,11)$$

$$J_C = \Sigma(1,5,9,13), A.O. = \Sigma(2,3,6,7, 10,11,14,15)$$

$$K_C = \Sigma(3,7,11,15), A.O. = \Sigma(0,1,4,5,8,9,12,13)$$

$$J_D = \Sigma(0,2,4,6,8,10,12,14), A.O. = \Sigma(1,3,5,7,9,11,13,15)$$

$$K_D = \Sigma(1,3,5,7,9,11,13,15), A.O. = \Sigma(0,2,4,6,8,10,12,14)$$

ΒΗΜΑ 4ο: Λήψη των ελάχιστων συναρτήσεων των εισόδων J και K

$Q_A Q_B$					
		00	01	11	10
$Q_C Q_D$	00	0	0	X	X
	01	0	0	X	X
	11	0	1	X	X
	10	0	0	X	X

$$J_A = Q_B \cdot Q_C \cdot Q_D$$

$Q_A Q_B$					
		00	01	11	10
$Q_C Q_D$	00	X	X	0	0
	01	X	X	0	0
	11	X	X	1	0
	10	X	X	0	0

$$K_A = Q_B \cdot Q_C \cdot Q_D$$

	$Q_A Q_B$	00	01	11	10
$Q_C Q_D$	00	0	X	X	0
	01	0	X	X	0
	11	1	X	X	1
	10	0	X	X	0

$$J_B = Q_C \cdot Q_D$$

	$Q_A Q_B$	00	01	11	10
$Q_C Q_D$	00	X	0	0	X
	01	X	0	0	X
	11	X	1	1	X
	10	X	0	0	X

$$K_B = Q_C \cdot Q_D$$

	$Q_A Q_B$	00	01	11	10
$Q_C Q_D$	00	0	0	0	0
	01	1	1	1	1
	11	X	X	X	X
	10	X	X	X	X

$$J_C = Q_D$$

	$Q_A Q_B$	00	01	11	10
$Q_C Q_D$	00	X	X	X	X
	01	X	X	X	X
	11	1	1	1	1
	10	0	0	0	0

$$K_C = Q_D$$

	$Q_A Q_B$	00	01	11	10
$Q_C Q_D$	00	1	1	1	1
	01	X	X	X	X
	11	X	X	X	X
	10	1	1	1	1

$$J_D = 1$$

	$Q_A Q_B$	00	01	11	10
$Q_C Q_D$	00	X	X	X	X
	01	1	1	1	1
	11	1	1	1	1
	10	X	X	X	X

$$K_D = 1$$

ΒΗΜΑ 5ο: Σύνθεση του κυκλώματος

Στο πέμπτο βήμα, που είναι και το τελευταίο, γίνεται η σύνθεση του κυκλώματος του μετρητή με βάση τις ελάχιστες λογικές συναρτήσεις που προέκυψαν απ' το προη-

γούμενο βήμα.

Στην προκειμένη περίπτωση απ' τις συναρτήσεις προκύπτει ότι το κύκλωμα το σύγχρονου αύξοντα μετρητή είναι το ίδιο με εκείνο του σχήματος 7.7α, που προέκυψε απ' την προηγούμενη πρακτική διαδικασία σχεδίασης του μετρητή.

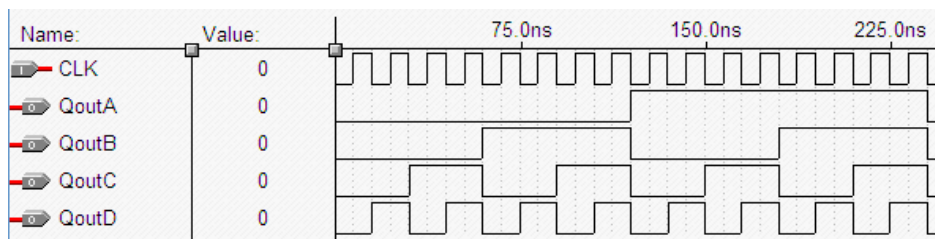
Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
LIBRARY ALTERA;
USE ALTERA.MAXPLUS2.ALL;

ENTITY scounter1 IS
    PORT (CLK                                     :IN STD_LOGIC;
          QoutA, QoutB, QoutC, QoutD             :OUT STD_LOGIC);
END scounter1;

ARCHITECTURE circuit OF scounter1 IS
    SIGNAL CLKnot, Qcd, Qbcd, QA, QB, QC, QD, HIGH :STD_LOGIC;
    BEGIN
        HIGH<='1';
        CLKnot<=NOT CLK;
        Qcd<=QD AND QC;
        Qbcd<=QD AND QC AND QB;
        FFD: JKFF
            PORT MAP (J=>HIGH, K=>HIGH, CLK=>CLKnot, CLRN=>HIGH,
                     PRN=>HIGH, Q=>QD);
        FFC: JKFF
            PORT MAP (J=>QD, K=>QD, CLK=>CLKnot, CLRN=>HIGH,
                     PRN=>HIGH, Q=>QC);
        FFB: JKFF
            PORT MAP (J=>Qcd, K=>Qcd, CLK=>CLKnot, CLRN=>HIGH,
                     PRN=>HIGH, Q=>QB);
        FFA: JKFF
            PORT MAP (J=>Qbcd, K=>Qbcd, CLK=>CLKnot, CLRN=>HIGH,
                     PRN=>HIGH, Q=>QA);
        QoutA<=QA; QoutB<=QB; QoutC<=QC; QoutD<=QD;
    END circuit;
```

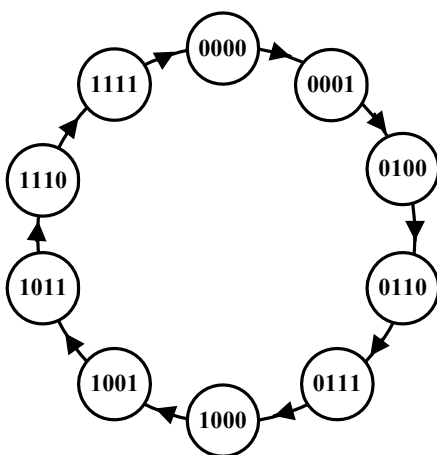
Αποτέλεσμα προσομοίωσης.**ΠΑΡΑΔΕΙΓΜΑ 7.2**

Να σχεδιαστεί ένας αύξων σύγχρονος μετρητής MOD-10 στον κώδικα 5211 και θα χρησιμοποιεί D flip-flops και θα κάνει διαίρεση συχνότητας δια του 10.

Σημείωση: Όλοι οι μετρητές MOD-10 που χρησιμοποιούν έναν απ' τους κώδικες «υπέρβασης 3», 5421, 5211, 2421, των οποίων το περισσότερο σημαντικό ψηφίο είναι "0" για τους πρώτους 5 συνδυασμούς και "1" για τους υπόλοιπους 5, θα δώσουν έξοδο Q_A που θα διαιρεί τη συχνότητα του παλμού ρολογιού δια του 10.

Διαδικασία σχεδίασης:

Απ' τον κώδικα 5211 κατασκευάζεται το διάγραμμα καταστάσεων του μετρητή που φαίνεται στο σχήμα 7.10.



Σχήμα 7.12 Διάγραμμα καταστάσεων

Απ' το διάγραμμα καταστάσεων συντάσσεται ο πίνακας καταστάσεων 7.6 και στη συνέχεια παίρνοντας υπόψη ότι για το D flip-flop ισχύει $D=Q^+$, κατασκευάζεται ο πίνακας διεγέρσεων 7.7.

Πίνακας 7.6

Παρούσα κατάσταση					Επόμενη κατάσταση				
	Q_A	Q_B	Q_C	Q_D		Q_A^+	Q_B^+	Q_C^+	Q_D^+
0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	2	0	1	0	0
2	0	1	0	0	3	0	1	1	0
3	0	1	1	0	4	0	1	1	1
4	0	1	1	1	5	1	0	0	0
5	1	0	0	0	6	1	0	0	1
6	1	0	0	1	7	1	0	1	1
7	1	0	1	1	8	1	1	1	0
8	1	1	1	0	9	1	1	1	1
9	1	1	1	1	0	0	0	0	0

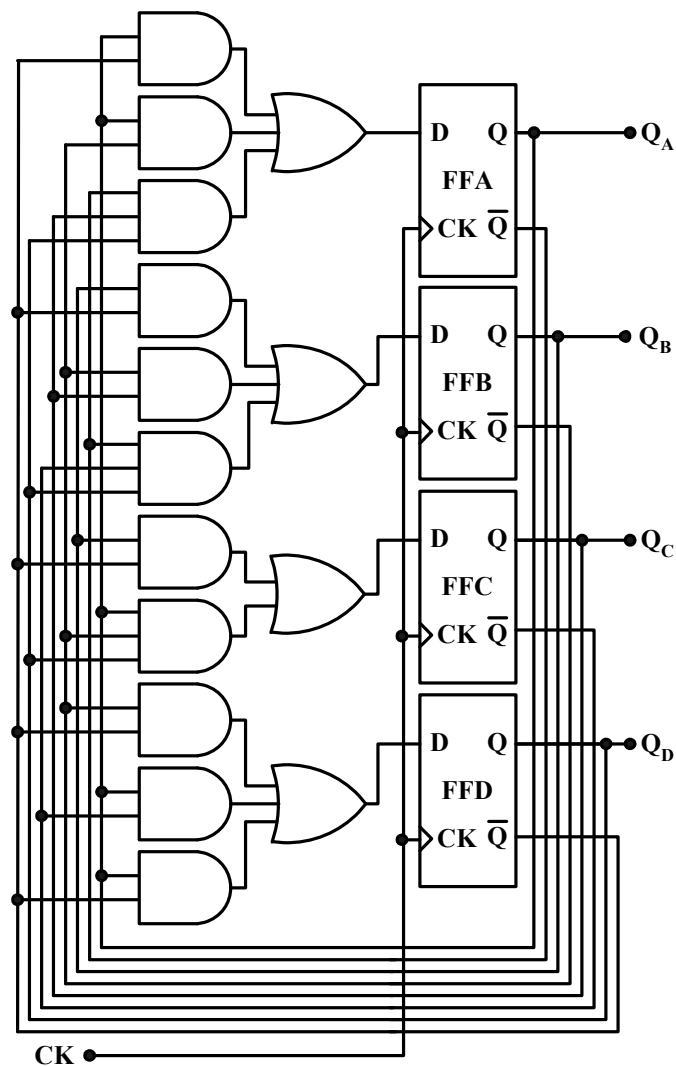
Πίνακας 7.7

Παρούσα κατάσταση					Επόμενη κατάσταση					Είσοδοι διέγερσης			
	Q_A	Q_B	Q_C	Q_D		Q_A^+	Q_B^+	Q_C^+	Q_D^+	D_A	D_B	D_C	D_D
0	0	0	0	0	1	0	0	0	1	0	0	0	1
1	0	0	0	1	2	0	1	0	0	0	1	0	0
2	0	1	0	0	3	0	1	1	0	0	1	1	0
3	0	1	1	0	4	0	1	1	1	0	1	1	1
4	0	1	1	1	5	1	0	0	0	1	0	0	0
5	1	0	0	0	6	1	0	0	1	1	0	0	1
6	1	0	0	1	7	1	0	1	1	1	0	1	1
7	1	0	1	1	8	1	1	1	0	1	1	1	0
8	1	1	1	0	9	1	1	1	1	1	1	1	1
9	1	1	1	1	0	0	0	0	0	0	0	0	0

Απ' τον πίνακα διεγέρσεων προκύπτει ότι: $D_A = \Sigma(4,5,6,7,8)$, $D_B = \Sigma(1,2,3,7,8)$, $D_C = \Sigma(2,3,6,7,8)$, $D_D = \Sigma(0,3,5,6,8)$

Κατασκευάζεται ο βοηθητικός πίνακας Karnaugh για τον κώδικα 5211 και παίρνονται οι ελάχιστες συναρτήσεις για τις εισόδους διέγερσης των flip-flop.

CD \ AB	AB			
	00	01	11	10
00	0	2	X	5
01	1	X	X	6
11	X	4	9	7
10	X	3	8	X



Σχήμα 7.11 Αύξων μετρητής που μετρά στον κώδικα 5211.

Q _A Q _B	00	01	11	10
Q _C Q _D 00	0	0	X	1
01	0	X	X	1
11	X	1	0	1
10	X	0	1	X

Q _A Q _B	00	01	11	10
Q _C Q _D 00	0	1	X	0
01	1	X	X	0
11	X	0	0	1
10	X	1	1	X

$$D_A = Q_A \cdot \bar{Q}_D + Q_A \cdot \bar{Q}_B + \bar{Q}_A \cdot Q_C \cdot Q_D$$

$$D_B = Q_B \cdot \bar{Q}_D + \bar{Q}_B \cdot Q_C + \bar{Q}_A \cdot \bar{Q}_C \cdot Q_D$$

Q _A Q _B	00	01	11	10
Q _C Q _D 00	0	1	X	0
01	0	X	X	1
11	X	0	0	1
10	X	1	1	X

Q _A Q _B	00	01	11	10
Q _C Q _D 00	1	0	X	1
01	0	X	X	1
11	X	0	0	0
10	X	1	1	X

$$D_C = Q_B \cdot \bar{Q}_D + Q_A \cdot \bar{Q}_B \cdot Q_D$$

$$D_D = \bar{Q}_B \cdot \bar{Q}_D + Q_A \cdot \bar{Q}_C + Q_C \cdot \bar{Q}_D$$

Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
LIBRARY ALTERA;
USE ALTERA.MAXPLUS2.ALL;

```

```

ENTITY scounter_up5211 IS
    PORT (CLK                                     :IN STD_LOGIC;
          QoutA, QoutB, QoutC, QoutD             :OUT STD_LOGIC);
END scounter_up5211;

```

```

ARCHITECTURE circuit OF scounter_up5211 IS
    SIGNAL CLKnot, DA, DB, DC, DD, QA, QB, QC, QD, HIGH :STD_LOGIC;
    BEGIN

```

```

HIGH<='1';
CLKnot<=NOT CLK;
DA<=(QA AND NOT QD) OR (QA AND NOT QB)
    OR (NOT QA AND QC AND QD);
DB<=(QB AND NOT QD) OR (NOT QB AND QC)
    OR (NOT QA AND NOT QC AND QD);
DC<=(QB AND NOT QD) OR (QA AND NOT QB AND QD);
DD<=(NOT QB AND NOT QD) OR (QA AND NOT QC)
    OR (QC AND NOT QD);
FFD: DFF
    PORT MAP (D=>DD, CLK=>CLKnot, CLRN=>HIGH, PRN=>HIGH,
              Q=>QD);

FFC: DFF
    PORT MAP (D=>DC, CLK=>CLKnot, CLRN=>HIGH, PRN=>HIGH,
              Q=>QC);

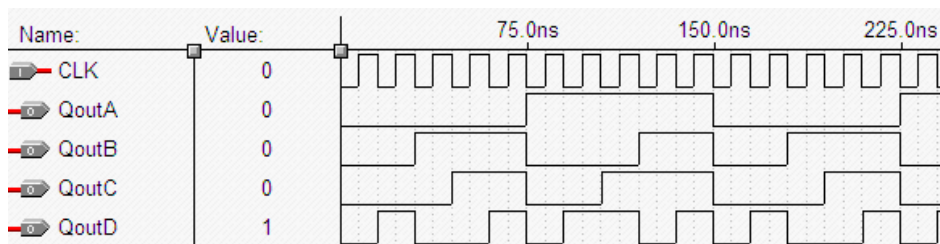
FFB: DFF
    PORT MAP (D=>DB, CLK=>CLKnot, CLRN=>HIGH, PRN=>HIGH,
              Q=>QB);

FFA: DFF
    PORT MAP (D=>DA, CLK=>CLKnot, CLRN=>HIGH, PRN=>HIGH,
              Q=>QA);

QoutA<=QA;
QoutB<=QB;
QoutC<=QC;
QoutD<=QD;
END circuit;

```

Αποτέλεσμα προσομοίωσης.

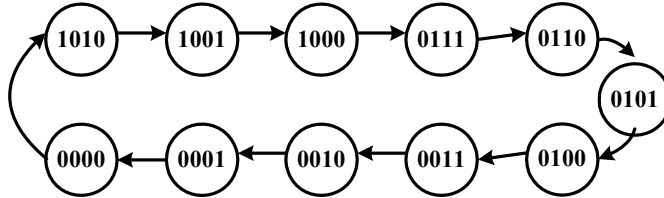


ΠΑΡΑΔΕΙΓΜΑ 7.3

Να σχεδιαστεί ένας δυαδικός φθίνων σύγχρονος δυαδικός μετρητής MOD-11 που θα μετρά στον κώδικα 8421 και θα χρησιμοποιεί D flip-flop.

Διαδικασία σχεδίασης:

Κατασκευάζεται το διάγραμμα καταστάσεων του μετρητή που φαίνεται στο σχήμα 7.12.



Σχήμα 7.12 Διάγραμμα καταστάσεων φθίνοντα μετρητή MOD-11.

Πίνακας 7.8

Παρούσα κατάσταση					Επόμενη κατάσταση				
	Q_A	Q_B	Q_C	Q_D		Q_A^+	Q_B^+	Q_C^+	Q_D^+
10	1	0	1	0	9	1	0	0	1
9	1	0	0	1	8	1	0	0	0
8	1	0	0	0	7	0	1	1	1
7	0	1	1	1	6	0	1	1	0
6	0	1	1	0	5	0	1	0	1
5	0	1	0	1	4	0	1	0	0
4	0	1	0	0	3	0	0	1	1
3	0	0	1	1	2	0	0	1	0
2	0	0	1	0	1	0	0	0	1
1	0	0	0	1	0	0	0	0	0
0	0	0	0	0	10	1	0	1	0

Απ' το διάγραμμα καταστάσεων συντάσσεται ο πίνακας καταστάσεων 7.8 και στη συνέχεια ο πίνακας διεγέρσεων 7.9.

Πίνακας 7.9

Παρούσα κατάσταση					Επόμενη κατάσταση					Είσοδοι διεγέρσης			
	Q_A	Q_B	Q_C	Q_D		Q_A^+	Q_B^+	Q_C^+	Q_D^+	D_A	D_B	D_C	D_D
10	1	0	1	0	9	1	0	0	1	1	0	0	1
9	1	0	0	1	8	1	0	0	0	1	0	0	0
8	1	0	0	0	7	0	1	1	1	0	1	1	1
7	0	1	1	1	6	0	1	1	0	0	1	1	0
6	0	1	1	0	5	0	1	0	1	0	1	0	1
5	0	1	0	1	4	0	1	0	0	0	1	0	0
4	0	1	0	0	3	0	0	1	1	0	0	1	1
3	0	0	1	1	2	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	0	0	10	1	0	1	0	1	0	1	0

Απ' τον πίνακα διεγέρσεων προκύπτει ότι: $D_A = \Sigma(0, 9, 10)$, $D_B = \Sigma(5, 6, 7, 8)$,
 $D_C = \Sigma(0, 3, 4, 7, 8)$, $D_D = \Sigma(2, 4, 6, 8, 10)$

		AB			
		00	01	11	10
CD	00	0	4	X	8
	01	1	5	X	9
	11	3	7	X	X
	10	2	6	X	10

Κατασκευάζεται ο βοηθητικός πίνακας karnaugh και στη συνέχεια παίρνονται οι ελάχιστες συναρτήσεις για τις εισόδους διέγερσης D των flip-flop.

		$Q_A Q_B$			
		00	01	11	10
$Q_C Q_D$	00	(1)	0	X	0
	01	0	0	(X)	1
	11	0	0	(X)	(X)
	10	0	0	(X)	1

		$Q_A Q_B$			
		00	01	11	10
$Q_C Q_D$	00	0	0	(X)	(1)
	01	0	(1)	X	0
	11	0	(1)	(X)	X
	10	0	(1)	X	0

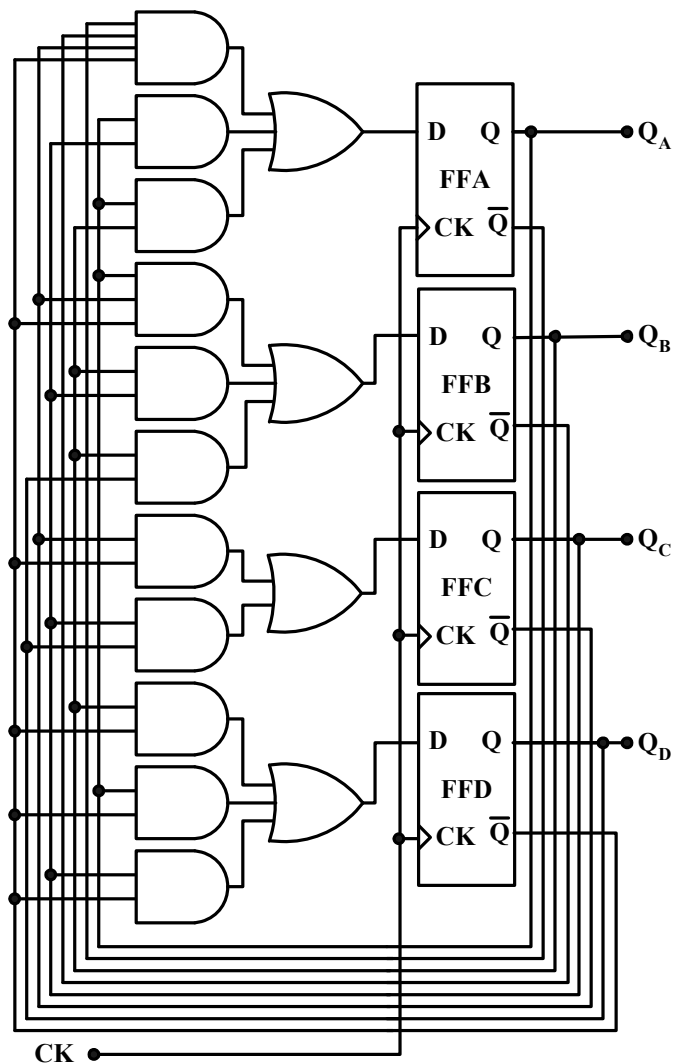
$$D_A = \bar{Q}_A \cdot \bar{Q}_B \cdot \bar{Q}_C \cdot \bar{Q}_D + Q_A \cdot Q_C + Q_A \cdot Q_D \quad D_B = Q_A \cdot \bar{Q}_C \cdot \bar{Q}_D + Q_B \cdot Q_C + Q_B \cdot Q_D$$

		$Q_A Q_B$			
		00	01	11	10
$Q_C Q_D$	00	(1)	1	X	1
	01	0	0	X	0
	11	(1)	1	X	(X)
	10	0	0	X	0

		$Q_A Q_B$			
		00	01	11	10
$Q_C Q_D$	00	0	(1)	(X)	1
	01	0	0	X	0
	11	0	0	X	X
	10	(1)	(1)	(X)	1

$$D_C = \bar{Q}_C \cdot \bar{Q}_D + Q_C \cdot Q_D$$

$$D_D = Q_B \cdot \bar{Q}_D + Q_A \cdot \bar{Q}_D + Q_C \cdot \bar{Q}_D$$



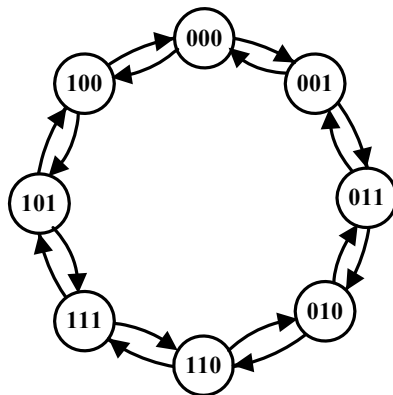
Σχήμα 7.13 Φθίνων μετρητής MOD-11.

ΠΑΡΑΔΕΙΓΜΑ 7.4

Να σχεδιαστεί ένας σύγχρονος αύξων-φθίνων μετρητής τριών ψηφίων που θα μετρά στον κώδικα Gray και θα χρησιμοποιεί J-K flip-flop.

Διαδικασία σχεδίασης

Κατασκευάζεται το διάγραμμα καταστάσεων του ζητούμενου μετρητή, που φαίνεται στο σχήμα 7.14, όπου οι δεξιόστροφες μεταβάσεις αναφέρονται στον αύξοντα μετρητή και οι αριστερόστροφες μεταβάσεις στον φθίνοντα.



Σχήμα 7.14 Το διάγραμμα καταστάσεων ενός αύξοντα-φθίνοντα μετρητή τριών ψηφίων που μετρά στον κώδικα Gray.

Στην προκειμένη περίπτωση χρειάζεται μία γραμμή ελέγχου, η οποία όταν θα είναι σε λογική κατάσταση "0" ο μετρητής θα μετρά προς τα άνω και όταν θα είναι σε λογική κατάσταση "1", θα μετρά προς τα κάτω. Με βάση αυτή τη λογική συντάσσεται ο πίνακας καταστάσεων 7.10.

Πίνακας 7.10

Δεκ.	Παρούσα κατάσταση			Επόμενη κατάσταση					
				Y=0 (Φθίνων)			Y=1 (Αύξων)		
	Q _A	Q _B	Q _C	Q _A ⁺	Q _B ⁺	Q _C ⁺	Q _A ⁺	Q _B ⁺	Q _C ⁺
0	0	0	0	1	0	0	0	0	1
1	0	0	1	0	0	0	0	1	1
2	0	1	1	0	0	1	0	1	0
3	0	1	0	0	1	1	1	1	0
4	1	1	0	0	1	0	1	1	1
5	1	1	1	1	1	0	1	0	1
6	1	0	1	1	1	1	1	0	0
7	1	0	0	1	0	1	0	0	0

Με βάση τον πίνακα καταστάσεων 7.10 και τον πίνακα μεταβάσεων 5.9 του J-K flip-flop συντάσσεται ο πίνακας μεταβάσεων 7.11 του μετρητή.

Στον πίνακα μεταβάσεων και στις στήλες των εισόδων J και K έχουν καταχωρηθεί δύο στήλες ψηφίων. Η πρώτη στήλη αντιστοιχεί στις εισόδους J και K του φθίνοντα μετρητή και η δεύτερη στήλη στις εισόδους J και K του αύξοντα μετρητή. Επανασυντάσσεται ο πίνακας μεταβάσεων με τον τρόπο που φαίνεται στον πίνακα 7.12.

Πίνακας 7.11

Κώδικας Gray			Y=0 (Φθίνων)			Y=1 (Αύξων)			Είσοδοι διέγερσης					
Q_A	Q_B	Q_C	Q_A^+	Q_B^+	Q_C^+	Q_A^+	Q_B^+	Q_C^+	J_A	K_A	J_B	K_B	J_C	K_C
0	0	0	1	0	0	0	0	1	1 0	XX	0 0	XX	0 1	XX
0	0	1	0	0	0	0	1	1	0 0	XX	0 1	XX	XX	1 0
0	1	1	0	0	1	0	1	0	0 0	XX	XX	1 0	XX	0 1
0	1	0	0	1	1	1	1	0	0 1	XX	XX	0 0	1 0	XX
1	1	0	0	1	0	1	1	1	XX	1 0	XX	0 0	0 1	XX
1	1	1	1	1	0	1	0	1	XX	0 0	XX	0 1	XX	1 0
1	0	1	1	1	1	1	0	0	XX	0 0	1 0	XX	XX	0 1
1	0	0	1	0	1	0	0	0	XX	0 1	0 0	XX	1 0	XX

Πίνακας 7.12

Δεκ	Y	Q_A	Q_B	Q_C	Q_A^+	Q_B^+	Q_C^+	J_A	K_A	J_B	K_B	J_C	K_C
0	0	0	0	0	1	0	0	1	X	0	X	0	X
1	0	0	0	1	0	0	0	0	X	0	X	X	1
2	0	0	1	1	0	0	1	0	X	X	1	X	0
3	0	0	1	0	0	1	1	0	X	X	0	1	X
4	0	1	1	0	0	1	0	X	1	X	0	0	X
5	0	1	1	1	1	1	0	X	0	X	0	X	1
6	0	1	0	1	1	1	1	X	0	1	X	X	0
7	0	1	0	0	1	0	1	X	0	0	X	1	X
8	1	0	0	0	0	0	1	0	X	0	X	1	X
9	1	0	0	1	0	1	1	0	X	1	X	X	0
10	1	0	1	1	0	1	0	0	X	X	0	X	1
11	1	0	1	0	1	1	0	1	X	X	0	0	X
12	1	1	1	0	1	1	1	X	0	X	0	1	X
13	1	1	1	1	1	0	1	X	0	X	1	X	0
14	1	1	0	1	1	0	0	X	0	0	X	X	1
15	1	1	0	0	0	0	0	X	1	0	X	0	X

Απ' τον πίνακα 7.12 προκύπτει:

$$J_A = \Sigma(0,11) \quad A.O = \Sigma(4,5,6,7,12,13,14,15)$$

$$K_A = \Sigma(4,15) \quad A.O = \Sigma(0,1,2,3,8,9,10,11)$$

$$J_B = \Sigma(6,9) \quad A.O = \Sigma(2,3,4,5,10,11,12,13)$$

$$K_B = \Sigma(2,13) \quad A.O = \Sigma(0,1,6,7,8,9,14,15)$$

$$J_C = \Sigma(3,7,8,12) \quad A.O = \Sigma(1,2,5,6,9,10,13,14)$$

$$K_C = \Sigma(1,5,10,14) \quad A.O = \Sigma(0,3,4,7,8,11,12,15)$$

	YQ _A	00	01	11	10
Q _B Q _C	00	1	X	X	0
	01	0	X	X	0
	11	0	X	X	0
	10	0	X	X	1

$$J_A = \bar{Q}_B \cdot \bar{Q}_C \cdot \bar{Y} + Q_B \cdot \bar{Q}_C \cdot Y$$

	YQ _A	00	01	11	10
Q _B Q _C	00	X	0	1	X
	01	X	0	0	X
	11	X	0	0	X
	10	X	1	0	X

$$K_A = Q_B \cdot \bar{Q}_C \cdot \bar{Y} + \bar{Q}_B \cdot \bar{Q}_C \cdot Y$$

	YQ _A	00	01	11	10
Q _B Q _C	00	0	0	0	0
	01	0	1	0	1
	11	X	X	X	X
	10	X	X	X	X

$$J_B = \bar{Q}_A \cdot Q_C \cdot Y + Q_A \cdot Q_C \cdot \bar{Y}$$

	YQ _A	00	01	11	10
Q _B Q _C	00	X	X	X	X
	01	X	X	X	X
	11	1	0	1	0
	10	0	0	0	0

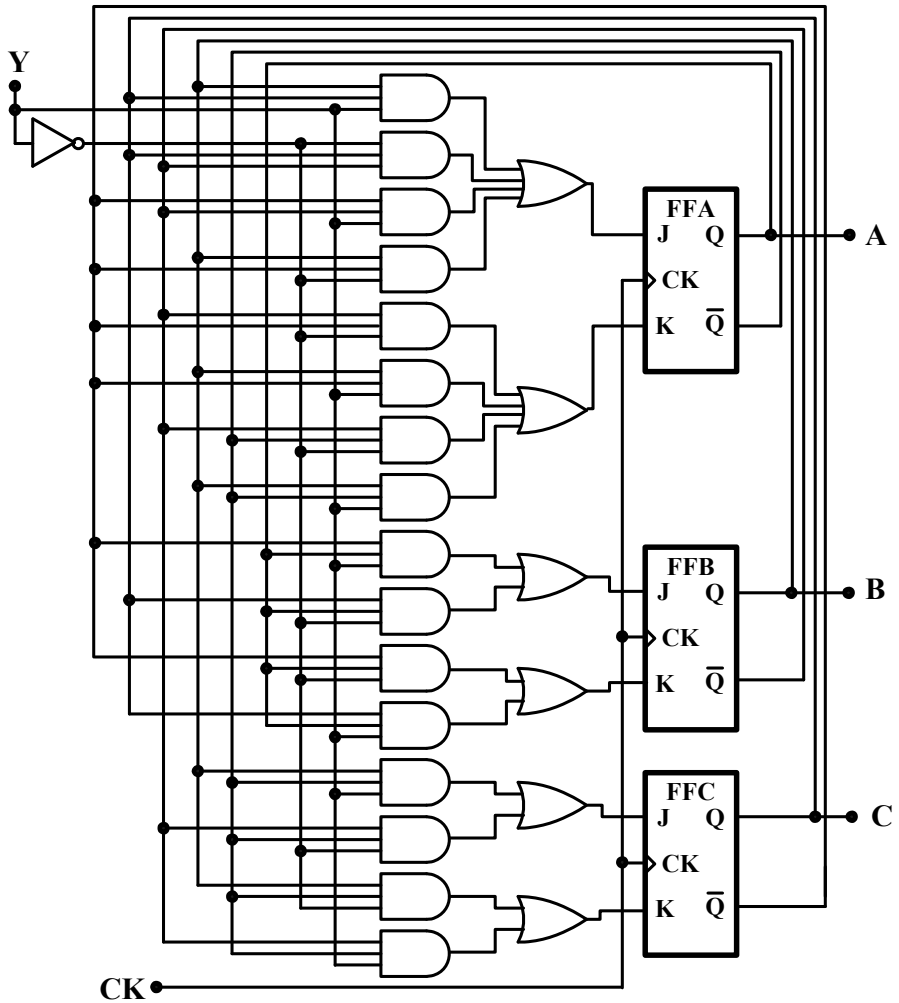
$$K_B = Q_A \cdot Q_C \cdot Y + \bar{Q}_A \cdot Q_C \cdot \bar{Y}$$

	YQ _A	00	01	11	10
Q _B Q _C	00	0	1	0	1
	01	X	X	X	X
	11	X	X	X	X
	10	1	0	1	0

$$J_C = \bar{Q}_A \cdot \bar{Q}_B \cdot Y + Q_A \cdot Q_B \cdot Y + \bar{Q}_A \cdot Q_B \cdot \bar{Y} + Q_A \cdot \bar{Q}_B \cdot \bar{Y}$$

$$K_C = \bar{Q}_A \cdot \bar{Q}_B \cdot \bar{Y} + \bar{Q}_A \cdot Q_B \cdot Y + Q_A \cdot Q_B \cdot \bar{Y} + Q_A \cdot \bar{Q}_B \cdot Y$$

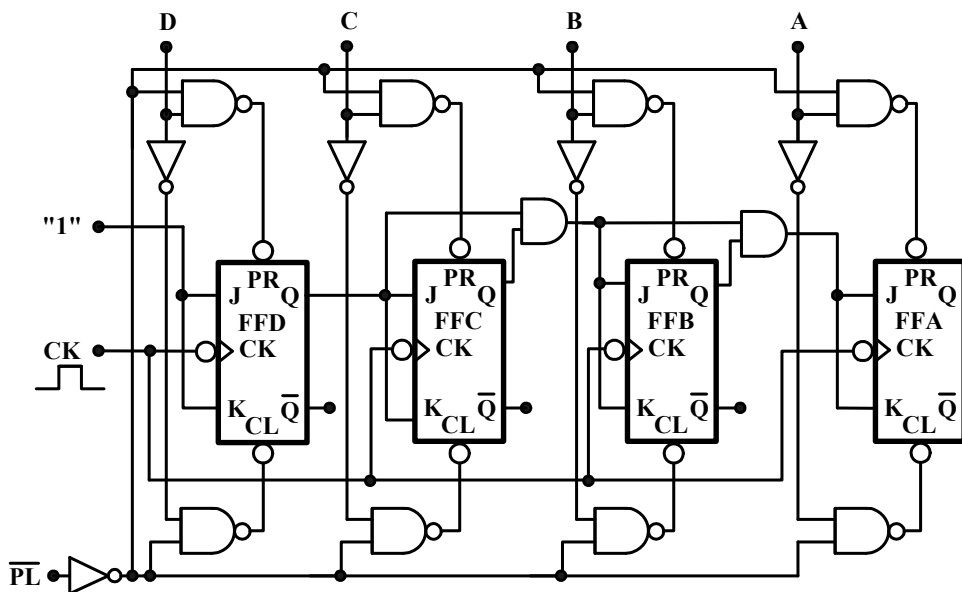
	YQ _A	00	01	11	10
Q _B Q _C	00	X	X	X	X
	01	1	0	1	0
	11	0	1	0	1
	10	X	X	X	X



Σχήμα 7.15 Μετρητής αύξων-φθίνων τριών ψηφίων σε κώδικα Gray

Απ' τις ελάχιστες συναρτήσεις κατασκευάζεται ο μετρητής που φαίνεται στο σχήμα 7.15.

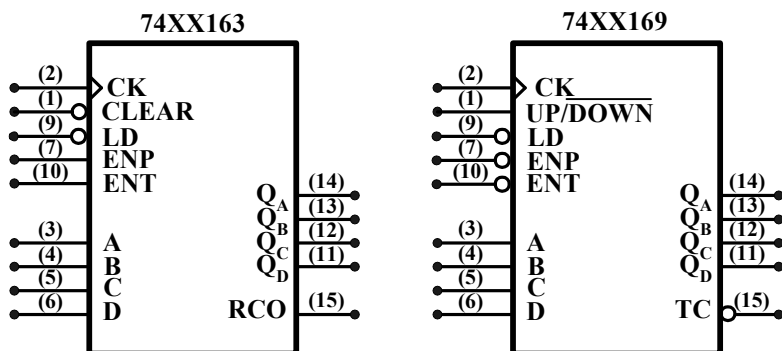
Οι μετρητές μπορούν να σχεδιαστούν με τέτοιο τρόπο ώστε να μπορούν να προφορωθούν με μια προκαθορισμένη μέτρηση. Ένα τέτοιος μετρητής φαίνεται στο σχήμα 7.16. Ο μετρητής αυτός διαθέτει μια είσοδο $\overline{PL}$ που όταν ενεργοποιείται, μπορεί να φορτωθεί απ' τις παράλληλες εισόδους του όποια πληροφορία θέλει ο χρήστης. Η πληροφορία φορτώνεται μέσω των ασύγχρονων εισόδων $\overline{PR}$, και $\overline{CL}$.



Σχήμα 7.16 Μετρητής με προφόρτωση.

Οι μετρητές είναι διαθέσιμοι σε μορφή ολοκληρωμένων κυκλωμάτων μεσαίας βαθμίδας ολοκλήρωσης. Ως παραδείγματα θα μπορούσαν να αναφερθούν το ολοκληρωμένο 74XX163, που είναι ένας σύγχρονος αύξων μετρητής τεσσάρων ψηφίων με σύγχρονη παράλληλη φόρτωση και σύγχρονο καθαρισμό και το ολοκληρωμένο 74XX169, που είναι ένας σύγχρονος αύξων/φθίνων μετρητής τεσσάρων ψηφίων.

Τα δύο αυτά ολοκληρωμένα φαίνονται σε μορφή διαγράμματος βαθμίδας στο σχήμα 7.17. Ο πίνακας 7.15 αποτελεί τον πίνακα καταστάσεων του μετρητή 74XX163.



Σχήμα 7.17 Διαγράμματα βαθμίδων των μετρητών 74XX163 και 74XX169.

Πίνακας 7.15

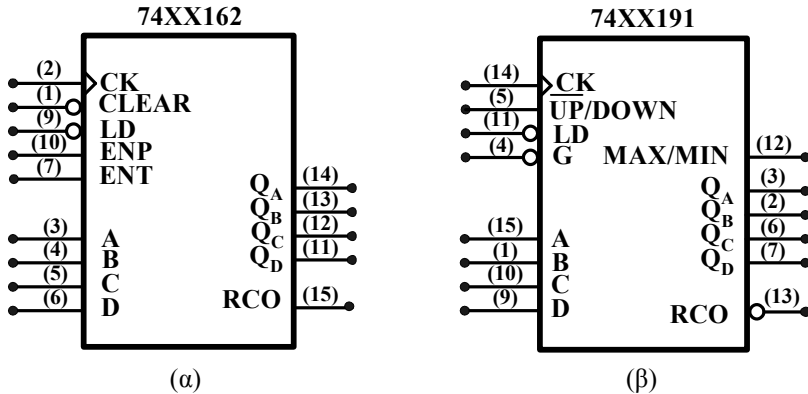
Είσοδοι				Παρούσα κατάσταση				Επόμενη Κατάσταση			
CLR	LD	ENT	ENP	Q _D	Q _C	Q _B	Q _A	Q _D ⁺	Q _C ⁺	Q _B ⁺	Q _A ⁺
0	X	X	X	X	X	X	X	0	0	0	0
1	0	X	X	X	X	X	X	D	C	B	A
1	1	0	X	X	X	X	X	Q _D	Q _C	Q _B	Q _A
1	1	1	0	X	X	X	X	Q _D	Q _C	Q _B	Q _A
1	1	1	1	0	0	0	0	0	0	0	1
1	1	1	1	0	0	0	1	0	0	1	0
1	1	1	1	0	0	1	0	0	0	1	1
1	1	1	1	0	0	1	1	0	1	0	0
1	1	1	1	0	1	0	0	0	1	0	1
1	1	1	1	0	1	0	1	0	1	1	0
1	1	1	1	0	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1	1	0	0	0
1	1	1	1	1	0	0	0	1	0	0	1
1	1	1	1	1	0	0	1	1	0	1	0
1	1	1	1	1	0	1	0	1	0	1	1
1	1	1	1	1	0	1	1	1	1	0	0
1	1	1	1	1	1	0	0	1	1	0	1
1	1	1	1	1	1	0	1	1	1	1	0
1	1	1	1	1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1	0	0	0	0

Το ολοκληρωμένο 74XX163 αποτελεί τον πλέον εύχρηστο μετρητή τεσσάρων ψηφίων. Όπως φαίνεται απ' τον πίνακα καταστάσεων, η είσοδος *CLEAR* όταν ενεργοποιείται (λογικό "0") καθαρίζει (μηδενίζει τη μέτρηση) το μετρητή. Η είσοδος *LD* όταν ενεργοποιείται (λογικό "0") φορτώνει στο μετρητή τη μέτρηση που υπάρχει στις εισόδους *A*, *B*, *C* και *D*. Οι είσοδοι *ENP* (*ENable Parallel*) και *ENT* (*ENable Trickle*) πρέπει να είναι ενεργοποιημένες (λογικό "1") για να μετρά ο μετρητής. Όταν μία απ' τις εισόδους αυτές είναι απενεργοποιημένη (λογικό "0"), ο μετρητής δεν μετρά και επομένως η επόμενη κατάσταση είναι ίδια με την προηγούμενη. Η έξοδος *RCO* (*Ripple Carry Output*) ενεργοποιείται (λογικό "1") όταν ο μετρητής μετρά τον αριθμό 15₁₀. Όταν κάποια εφαρμογή απαιτεί ασύγχρονο καθάρισμα, τότε μπορεί να χρησιμοποιηθεί το ολοκληρωμένο 74XX161, που κατά τα άλλα είναι ακριβώς ίδιο με το 74XX163.

Στο ολοκληρωμένο 74XX169 η κατάσταση της εισόδου *UP / DOWN* καθορίζει το αν ο μετρητής θα λειτουργεί ως αύξων (λογικό "1") ή φθίνων (λογικό "0"). Η είσοδος *LD* όταν ενεργοποιείται (λογικό "0"), φορτώνει στο μετρητή τη μέτρηση που υπάρχει στις εισόδους *A*, *B*, *C* και *D*. Η έξοδος *RCO* ενεργοποιείται (λογικό "0") όταν ο μετρητής είναι συνδεδεμένος ως αύξων μετρητής και μετρά τον αριθμό 15₁₀ ή όταν ο μετρητής είναι συνδεδεμένος ως φθίνων μετρητής και μετρά τον αριθμό 0₁₀.

Στο σχήμα 7.18 φαίνονται σε διαγράμματα βαθμίδων το ολοκληρωμένο 74XX162, που είναι ένας σύγχρονος αύξων δεκαδικός μετρητής τεσσάρων ψηφίων με σύγχρονη πα-

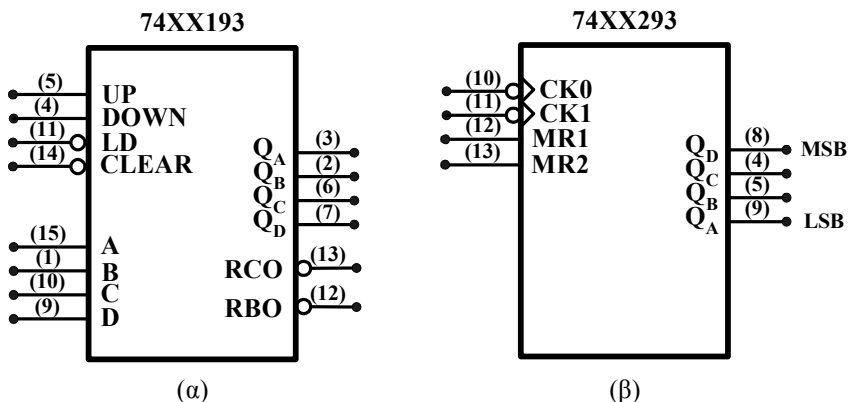
ράλληλη φόρτωση και σύγχρονο καθαρισμό, και το ολοκληρωμένο 74XX191, που είναι ένας αύξων/φθίνων μετρητής τεσσάρων ψηφίων με ασύγχρονη παράλληλη φόρτωση.



Σχήμα 7.18 Διαγράμματα βαθμίδων των μετρητών 74XX162 και 74XX191.

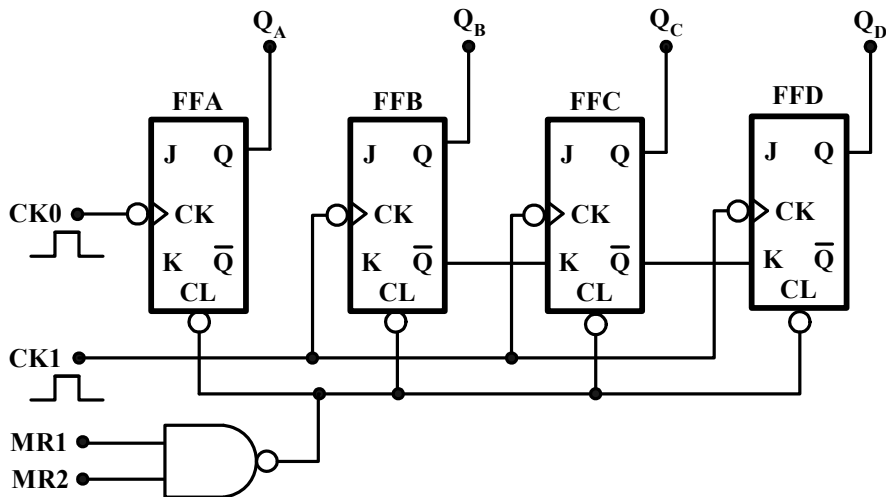
Στο ολοκληρωμένο 74XX162, οι εισόδοι συνδέονται με τον ίδιο τρόπο όπως και στο 74XX163. Η μόνη διαφορά έγκειται στο ότι η έξοδος *RCO* ενεργοποιείται (λογικό "1") όταν ο μετρητής μετρά τον αριθμό 9₁₀. Οι έξοδοι *Q_C* και *Q_D* αυτού χαρακτηρίζονται απ' το γεγονός ότι δεν έχουν 50% *κύκλο ενεργού λειτουργίας (duty cycle)*. Όταν κάποια εφαρμογή απαιτεί ασύγχρονο καθαρισμό, τότε μπορεί να χρησιμοποιηθεί το ολοκληρωμένο 74XX162, που κατά τα άλλα είναι ακριβώς ίδιο με το 74XX160.

Στο ολοκληρωμένο 74XX191 η κατάσταση της εισόδου *UP / DOWN* καθορίζει το αν ο μετρητής θα λειτουργεί ως αύξων (λογικό "0") ή φθίνων (λογικό "1"). Η είσοδος *G* πρέπει να είναι ενεργοποιημένη (λογικό "0") για την ορθή λειτουργία του μετρητή. Η έξοδος *RCO* ενεργοποιείται (λογικό "0"), όταν ο μετρητής είναι συνδεδεμένος ως αύξων μετρητής και μετρά τον μέγιστο αριθμό που έχει φορτωθεί απ' τις παράλληλες εισόδους ή όταν ο μετρητής είναι συνδεδεμένος ως φθίνων μετρητής και μετρά τον ελάχιστο αριθμό που έχει φορτωθεί απ' τις παράλληλες εισόδους. Η έξοδος *MAX/MIN* είναι συμπληρωματική της *RCO*.



Σχήμα 7.19 Διαγράμματα βαθμίδων των μετρητών 74XX193 και 74XX293.

Το ολοκληρωμένο 74XX193, που φαίνεται στο σχήμα 7.19α, είναι ένας σύγχρονος αύξων/φθίνων μετρητής MOD-16 με παράλληλη φόρτωση και ασύγχρονη είσοδο καθαρισμού. Οι είσοδοι *UP* και *DOWN* είναι ξεχωριστές. Όταν ο παλμός χρονισμού εφαρμόζεται στην είσοδο *UP*, ο μετρητής μετρά ως αύξων μετρητής, ενώ όταν ο παλμός χρονισμού εφαρμόζεται στην είσοδο *DOWN*, ο μετρητής μετρά ως φθίνων μετρητής. Οι δύο έξοδοι *RCO* (*Ripple Carry Out*) και *RBO* (*Ripple Borrow Out*) παρέχουν το κρατούμενο και το δανικό ολίσθησης, αντίστοιχα, και χρησιμοποιούνται όταν πρόκειται να συνδεθούν δύο ή περισσότερα ολοκληρωμένα για τη δημιουργία ενός σπονδύλου μετρητή μεγαλύτερης χωρητικότητας. Η μεν έξοδος *RCO* όταν ο υπό δημιουργία σπόνδυλος πρόκειται να είναι αύξων μετρητής, η δε έξοδος *BCO* όταν ο υπό δημιουργία σπόνδυλος πρόκειται να είναι φθίνων μετρητής.



Σχήμα 7.20 Λογικό διάγραμμα του μετρητή 74XX293.

Το ολοκληρωμένο 74XX192 είναι ένας δεκαδικός μετρητής (MOD-10) καθ' όλα όμοιο με το 74XX193, με μοναδική διαφορά στο ότι οι έξοδοι *RCO* και *RBO* ενεργοποιούνται (λογικό "0") όταν ο μετρητής ως αύξων μετρητής μετρά 9₁₀ ή ως φθίνων μετρητής μετρά 0₁₀.

Το ολοκληρωμένο 74XX293 είναι ένας ασύγχρονος μετρητής MOD-16, που χρησιμοποιεί τέσσερα ακμοπυρόδοτα που πυροδοτούνται στο αρνητικό μέτωπο του παλμού χρονισμού, J-K flip-flop των οποίων οι εισόδους J και K είναι συνδεδεμένες εσωτερικά σε λογικό "1", όπως φαίνεται στο σχήμα 7.20. Διαθέτει δύο εισόδους παλμού χρονισμού $CK0$ και $CK1$ που είναι εισόδους στα flip-flop A και flip-flop B αντίστοιχα. Έχει δύο εισόδους καθαρισμού $MR1$ (*Master Reset 1*) και $MR2$ (*Master Reset 2*), οι οποίες πρέπει να οδηγηθούν και οι δύο σε λογικό "1" προκειμένου να καθαριστεί ο μετρητής. Τα flip-flop B, C και D είναι συνδεδεμένα εσωτερικά έτσι ώστε να λειτουργούν ως ένας μετρητής MOD-8. Το flip-flop A δεν είναι συνδεδεμένο πουθενά και μπορεί να λειτουργεί είτε ως ένα ανεξάρτητο flip-flop είτε, όταν συνδεθεί με το flip-flop B ($CK1=Q_A$), να σχηματίσει έναν μετρητή MOD-16.

Σχεδίαση με CAD

Απ' την έως τώρα διαδικασία ανάλυσης και σχεδίασης των μετρητών, αλλά και την παρουσίαση των μετρητών που υπάρχουν σε μορφή ολοκληρωμένων κυκλωμάτων, προκύπτει ότι σχεδόν όλοι διαφέρουν μεταξύ τους υπό την έννοια ότι κάποιοι διαθέτουν εισόδους παράλληλης φόρτωσης άλλοι όχι, κάποιοι διαθέτουν εισόδους ασύγχρονου ή σύγχρονου καθαρισμού άλλοι όχι, κάποιοι διαθέτουν μία είσοδο αύξουσας/φθίνουσας μέτρησης άλλοι δύο ξεχωριστές εισόδους, κάποιοι διαθέτουν είσοδο ενεργοποίησης άλλοι όχι, γενικά δεν υπάρχει κάποιος μετρητής που να διαθέτει όλα τα χαρακτηριστικά. Όταν σχεδιάζεται ένας μετρητής στη γλώσσα VHDL, δεν υπάρχει κανείς περιορισμός στο να του δοθούν όλα τα χαρακτηριστικά που χρειάζεται η συγκεκριμένη εφαρμογή. Στη διαδικασία σχεδίασης που ακολουθεί θα σχεδιαστεί ένας μετρητής με τα παρακάτω χαρακτηριστικά:

1. Θα μετρά στο σύστημα 8421.
2. Θα είναι MOD-16.
3. Θα είναι ακμοπυρόδοτος πυροδοτούμενος στο αρνητικό μέτωπο του παλμού χρονισμού.
4. Θα διαθέτει μια είσοδο ενεργοποίησης *ENN* που ενεργοποιείται με λογικό "0".
5. Θα διαθέτει εισόδους παράλληλης φόρτωσης *Din* με είσοδο ελέγχου *LDN* που θα ενεργοποιείται με λογικό "0".
6. Θα είναι αύξων/φθίνων με είσοδο ελέγχου *UP_DOWNN*, που θα μετρά προς τα άνω όταν *UP_DOWNN=1* και προς τα κάτω όταν *UP_DOWNN=0*.
7. Θα διαθέτει μία είσοδο ασύγχρονου καθαρισμού *CLN*, που θα ενεργοποιείται με λογικό "0".
8. Θα διαθέτει μια έξοδο ολίσθησης κρατούμενου *RCO*, για να μπορεί να συνδέεται με άλλους ίδιους μετρητές για επέκταση χωρητικότητας, που θα παίρνει την τιμή "1" όταν μετρά προς τα άνω και φτάσει τη μέτρηση 15₁₀ ή όταν μετρά προς τα κάτω και φτάσει την τιμή 0₁₀.

Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

LIBRARY IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY scounter_universal IS

PORT (CK, CLN, LDN,

ENN, UP_DOWNN :IN STD_LOGIC;

Din :IN INTEGER RANGE 0 TO 15;

Cout :OUT INTEGER RANGE 0 TO 15;

RCO :OUT STD_LOGIC);

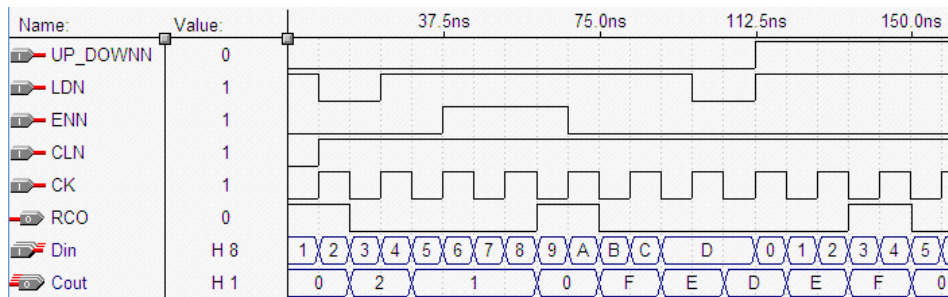
END scounter_universal;

```

ARCHITECTURE model OF scounter_universal IS
BEGIN
  PROCESS (CK)
    VARIABLE COUNT :INTEGER RANGE 0 TO 15;
  BEGIN
    IF CLN='0' THEN COUNT :=0;
    ELSIF (CK='0' AND CK'EVENT) THEN
      IF LDN='0' THEN COUNT :=Din;
      ELSIF ENN='0' THEN
        IF UP_DOWNNN='1' THEN COUNT :=COUNT+1;
        ELSE COUNT :=COUNT-1;
        END IF;
      END IF;
    END IF;
    IF (((COUNT=0) AND (UP_DOWNNN='0')) OR
      ((COUNT=15) AND (UP_DOWNNN='1')) AND ENN='0'
    THEN RCO<='1';
    ELSE RCO<='0';
    END IF;
    Cout<=COUNT;
  END PROCESS;
END model;

```

Παρατηρείται ότι, οι εισοδοί παράλληλης φόρτωσης και η εκάστοτε μέτρηση του μετρητή ορίζονται ως **INTEGERS**. Ως **INTEGER** ορίζεται και η μεταβλητή *COUNT* για να μπορεί να αυξομειώνεται εύκολα. Οι μεταβλητές, όπως στην προκειμένη η *COUNT*, ορίζονται μέσα στη διεργασία (**PROCESS**) και χρησιμοποιούνται μόνο μέσα σ' αυτή. Έτσι, η τιμή της *COUNT* πρέπει να μεταφερθεί, και μεταφέρεται, στην έξοδο *Cout* πριν απ' την έξοδο απ' τη διεργασία. Στο πλαίσιο της διεργασίας ορίζονται οι εισοδοί απ' τις οποίες εξαρτάται η διεργασία. Το πρόγραμμα ελέγχει πρώτα την είσοδο καθαρισμού *CLN*, επειδή είναι ασύγχρονη, και όταν ενεργοποιείται καθαρίζει αυτόματο το μετρητή ανεξάρτητα απ' τις καταστάσεις των άλλων εισόδων. Στη συνέχεια μπαίνει στο σύγχρονο έλεγχο με βάση το αρνητικό μέτωπο του παλμού χρονισμού. Ελέγχει αν πρόκειται να φορτωθούν δεδομένα απ' την παράλληλη είσοδο και τα φορτώνει, αν η αντίστοιχη είσοδος ελέγχου *LDN* είναι ενεργοποιημένη, ελέγχει αν ο μετρητής είναι ενεργοποιημένος ελέγχοντας την είσοδο *ENN* και αν είναι ελέγχει την κατάσταση της εισόδου *UP_DOWNNN* και ανάλογα μετρά προς τα άνω ή προς τα κάτω. Στη συνέχεια ελέγχει αν η μέτρηση είναι 0 για τον φθίνοντα μετρητή ή 15 για τον αύξοντα μετρητή και ενεργοποιεί ανάλογα την έξοδο ολίσθησης κρατούμενου *RCO*. Πριν βγει απ' τη διεργασία, μεταφέρει τη μέτρηση στην έξοδο *Cout*.

Αποτέλεσμα προσομοίωσης.

Στην αρχή καθαρίζεται ασύγχρονα η έξοδος. Το πρώτο αρνητικό μέτωπο του παλμού χρονισμού βρίσκει ενεργοποιημένη τη γραμμή παράλληλης φόρτωσης και φορτώνει το μετρητή με το $Din=2$. Η γραμμή UP_DOWNN είναι σε λογικό "0" και ο μετρητής μετρά ως φθίνων. Ο μεθεπόμενος παλμός βρίσκει τη γραμμή ENN σε λογικό "1" και απενεργοποιεί το μετρητή για διάρκεια μιας μέτρησης (δύο συνεχόμενα 1). Στη συνέχεια επανενεργοποιείται η γραμμή ENN και ο μετρητής συνεχίζει να μετρά ως φθίνων μετρητής. Όταν η μέτρηση γίνει μηδέν, ενεργοποιείται η γραμμή RCO . Στη συνέχεια ενεργοποιείται η γραμμή LDN και το επόμενο μέτωπο του παλμού χρονισμού φορτώνει το μετρητή με το $Din=D$. Το μέτωπο του επόμενου παλμού χρονισμού θα βρει τη γραμμή UP_DOWNN σε λογικό "1" και ο μετρητής θα αρχίσει να μετρά αυξητικά. Όταν η μέτρηση γίνει 15, η έξοδος RCO θα πάει σε λογικό "1".

Προφανώς, ο μετρητής αυτός μπορεί να σχεδιαστεί ώστε να μετρά σε όποιο MOD χρειάζεται αρκεί να γίνουν μερικές αλλαγές στο πρόγραμμα, όπως για παράδειγμα, αν υποτεθεί ότι χρειάζεται να σχεδιαστεί ένας μετρητής MOD-256, πρέπει να οριστούν η παράλληλη είσοδος και η έξοδος ως:

Din :IN INTEGER RANGE 0 TO 255;

Cout :OUT INTEGER RANGE 0 TO 255;

η μεταβλητή COUNT ως:

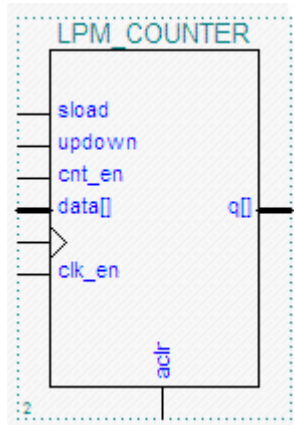
COUNT :INTEGER RANGE 0 TO 255;

καθώς και στην εξίσωση για την RCO να αντικατασταθεί το:

COUNT=15 με το COUNT=255.

Μπορούν να σχεδιαστούν μετρητές οποιασδήποτε MODE με τη χρήση της βιβλιοθήκης LPM παραμετροποιημένων σπονδύλων της ALTERA. Ο μετρητής LPM, που φαίνεται σε διάγραμμα βαθμίδας στο σχήμα 7.21, έχει εισόδους ελέγχου και εξόδους που επιτρέπουν τη σχεδίαση μετρητών οι οποίοι θα μετρούν σε όποια MOD απαιτείται, προς τα

άνω ή προς τα κάτω, θα διαθέτουν δυνατότητα σύγχρονης παράλληλης φόρτωση, ασύγχρονη καθαρισμού και σύγχρονης διασύνδεσης με άλλους μετρητές.



Σχήμα 7.21 Ο μετρητής LPM.

Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
LIBRARY LPM;
USE LPM.LPM_COMPONENTS.ALL;

ENTITY scounter_universallpm IS
    PORT (CK, CL, LD, EN, UP_DOWNN :IN STD_LOGIC;
          Din          :IN STD_LOGIC_VECTOR (3 DOWNTO 0);
          CNTout       :OUT STD_LOGIC_VECTOR (3 DOWNTO 0);
          RCO          :OUT STD_LOGIC);
END scounter_universallpm;

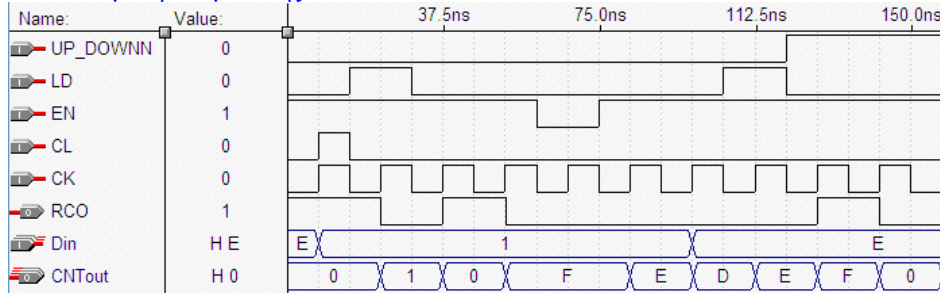
ARCHITECTURE model OF scounter_universallpm IS
    SIGNAL CARRYOUT :STD_LOGIC;
    BEGIN
        COUNTER :LPM_COUNTER
            GENERIC MAP (LPM_WIDTH=>4, LPM_MODULUS=>16)
            PORT MAP (CLOCK=>CK, CNT_EN=>EN, SLOAD=>LD,
                    ACLR=>CL, UPDOWN=>UP_DOWNN,
                    DATA=>Din, Q=>CNTout, Cout=>CARRYOUT);
        RCO<='1' WHEN (CARRYOUT='1' AND EN='1') ELSE '0';
    END model;

```

Για μετρητές άλλων χωρητικοτήτων, όπως για παράδειγμα MOD-256, πρέπει να γίνουν οι παρακάτω αλλαγές στο πρόγραμμα.

```
Din      :IN STD_LOGIC_VECTOR (7 DOWNTO 0);
CNTout   :OUT STD_LOGIC_VECTOR (7 DOWNTO 0);
καθώς και GENERIC MAP (LPM_WIDTH=>8, LPM_MODULUS=>256)
```

Αποτέλεσμα προσομοίωσης.



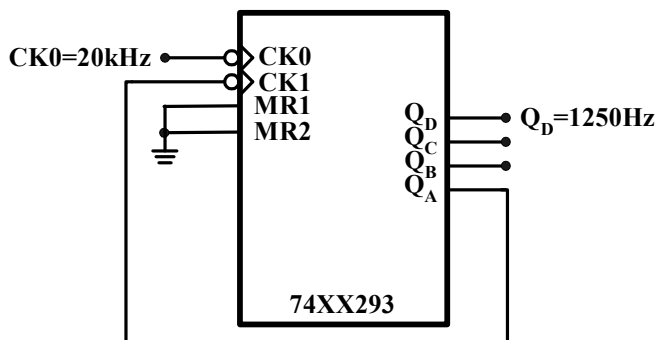
ΠΑΡΑΔΕΙΓΜΑ 7.5

Να συνδεθεί ο μετρητής 74XX293 με τρόπο ώστε να λειτουργεί ως ένας μετρητής α. MOD-16, β. MOD-10, γ. MOD-14. Αν υποθεθεί ότι η συχνότητα ρολογιού είναι 20MHz, ποια θα είναι σε κάθε μια απ' τις παραπάνω περιπτώσεις η συχνότητα του σήματος που θα παρθεί στην έξοδο Q_D ;

α. Μετρητής MOD-16

Για να λειτουργήσει το ολοκληρωμένο ως ένας μετρητής 16 ψηφίων, θα πρέπει, σύμφωνα με τον ασύγχρονο μετρητή του σχήματος 7.6, ο παλμός ρολογιού να εισαχθεί στην είσοδο CK του flip-flop A και η έξοδος Q_A να εισαχθεί ως παλμός ρολογιού στη είσοδο CK του flip-flop B. Επομένως, το κύκλωμα θα είναι αυτό που φαίνεται στο σχήμα 7.22. Το σήμα στην έξοδο Q_D θα είναι το σήμα του ρολογιού διαιρεμένο με το 16.

Επομένως, $f = 20\text{kHz} / 16 = 1250\text{Hz}$



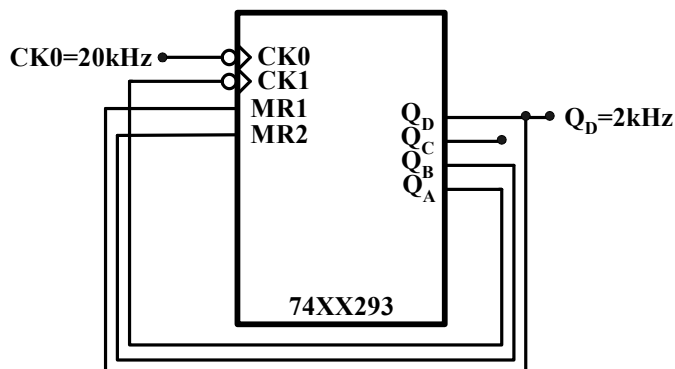
Σχήμα 7.22 Το ολοκληρωμένο 74XX293 ως μετρητής MOD-16

β. Μετρητής MOD-10

Σύμφωνα με τον πίνακα αληθείας του μετρητή MOD-10, ο μετρητής πρέπει να μετρά από 0_{10} (0000_2) έως 9_{10} (1001_2) και όταν θα πάει να μετρήσει το 10_{10} (1010_2) θα πρέπει να μηδενίζει. Από αυτό προκύπτει ότι όταν οι έξοδοι Q_B και Q_D πάνε και οι δύο σε λογικό "1", πρέπει να μηδενίζει ο μετρητής. Αυτό επιτυγχάνεται αν συνδεθούν αυτές οι έξοδοι στις εισόδους $MR1$ και $MR2$, όπως φαίνεται στο σχήμα 7.23.

Επειδή εδώ πρόκειται για μετρητή MOD-10, η έξοδος Q_D θα διαιρέσει το ρολόι με το 10.

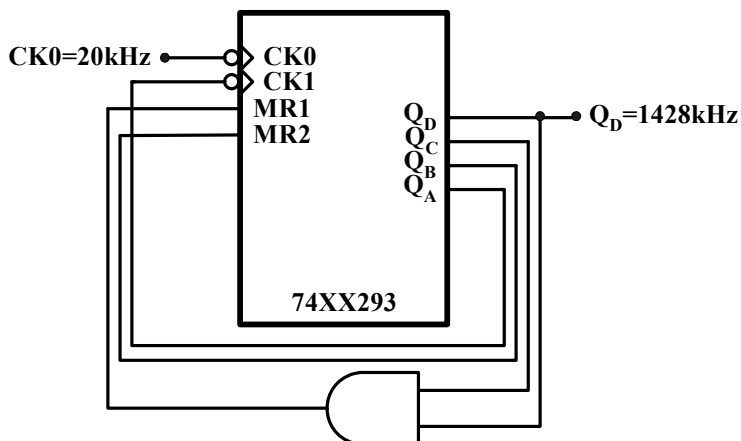
Επομένως, $f = 20\text{kHz}/10 = 2\text{kHz}$



Σχήμα 7.23 Το ολοκληρωμένο 74XX293 ως μετρητής MOD-10

γ. Μετρητής MOD-14

Σύμφωνα και πάλι με τον πίνακα αληθείας του μετρητή MOD-14, ο μετρητής πρέπει να μετρά από 0_{10} (0000_2) έως 13_{10} (1101_2) και όταν θα πάει να μετρήσει το 14_{10} (1110_2), θα πρέπει να μηδενίζει.



Σχήμα 7.24 Το ολοκληρωμένο 74XX293 ως μετρητής MOD-14

Από αυτό προκύπτει ότι όταν οι έξοδοι Q_B , Q_C και Q_D πάνε όλες σε λογικό "1", πρέπει να μηδενίζει ο μετρητής. Αυτό επιτυγχάνεται αν συνδεθούν αυτές οι έξοδοι στη μία είσοδο MR η μία έξοδος και στην άλλη είσοδο MR οι άλλες δύο διαμέσου μιας πύλης AND, όπως φαίνεται στο σχήμα 7.24.

Επειδή εδώ πρόκειται για μετρητή MOD-14, η έξοδος Q_D θα διαιρέσει το ρολόι με το 14.

Επομένως, $f=20kHz/14=1428Hz$

Τα ολοκληρωμένα κυκλώματα των μετρητών μπορούν να συνδεθούν μεταξύ τους όταν απαιτείται μέτρηση γεγονότων περισσοτέρων του 16. Στα σχήματα 7.25 και 7.26 φαίνονται δύο τρόποι με τους οποίους μπορούν να συνδεθούν τρεις μετρητές 74XX163 για να σχηματίσουν ένα μετρητή δώδεκα ψηφίων που θα μπορεί να μετρά από 0-4093 γεγονότα. Με τον ίδιο τρόπο μπορούν να συνδεθούν τέσσερα, πέντε κ.ο.κ. ολοκληρωμένα προκειμένου να σχηματιστούν μετρητές των 16, 24, κ.ο.κ. ψηφίων.

ΠΑΡΑΔΕΙΓΜΑ 7.6

Να δειχτεί ο τρόπος με τον οποίο μπορούν να συνδεθούν τρία ολοκληρωμένα κυκλώματα 74XX163 ώστε να δημιουργηθεί ένας σπόνδυλος μετρητή 12 ψηφίων (MOD-4096). Αν υποθεθεί ότι ο παλμός ρολογιού έχει συχνότητα 40kHz ποια θα είναι η συχνότητα α. στην έξοδο Q_2 του πρώτου ολοκληρωμένου, β. στην έξοδο Q_5 του δεύτερου ολοκληρωμένου και γ. στην έξοδο Q_8 του τρίτου ολοκληρωμένου.

Μπορούν να χρησιμοποιηθούν δύο διαφορετικοί τρόποι για τη δημιουργία του απαιτούμενου σπονδύλου. Ο πρώτος τρόπος φαίνεται στο σχήμα 7.25.

Παρατηρείται ότι για στην πεν λόγω σύνδεση χρησιμοποιήθηκε η γραμμή RCO. Αυτή η μορφή σύνδεσης των μετρητών μεταξύ τους λέγεται **σπόνδυλος μετρητή τριών βαθμίδων κρατούμενου ολίσθησης**.

Ο δεύτερο τρόπος, που φαίνεται στο σχήμα 7.26, δίνει ένα ταχύτερο σπόνδυλο μετρητή και ονομάζεται **σπόνδυλος μετρητή τριών βαθμίδων πρόβλεψης κρατούμενου**.

Όπως έχω προαναφερθεί ο μετρητής εκτός από μέτρηση γεγονότων κάνει και διαίρεση συχνότητας επομένως,

Η συχνότητα του σήματος στην έξοδο Q_2 του πρώτου ολοκληρωμένου θα είναι:

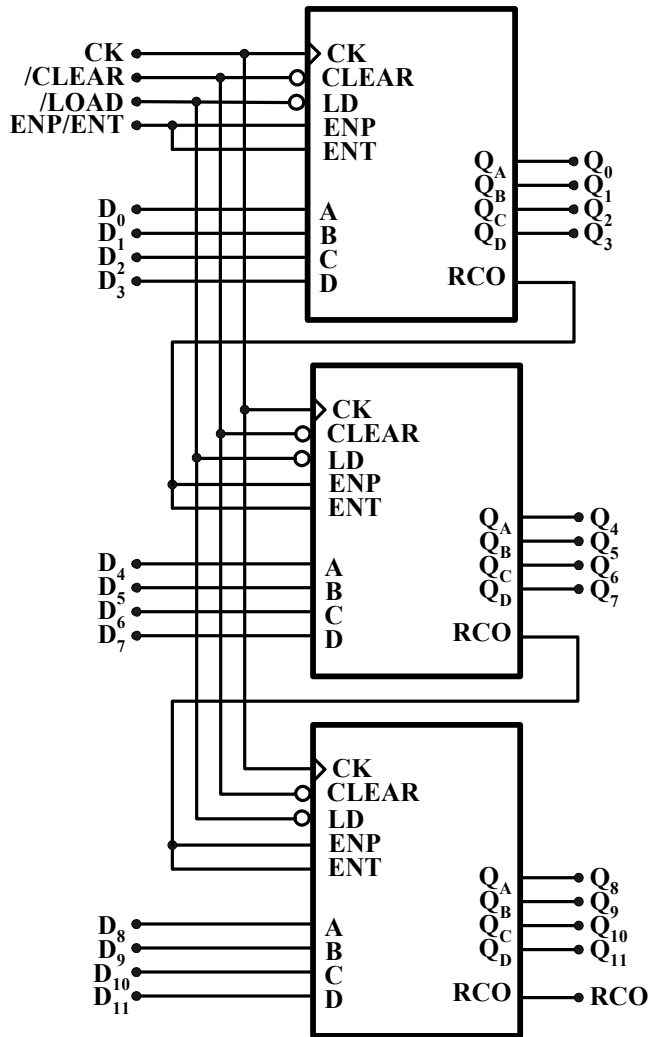
$$f=40kHz/8=5kHz$$

Η συχνότητα του σήματος στην έξοδο Q_5 του δεύτερου ολοκληρωμένου θα είναι:

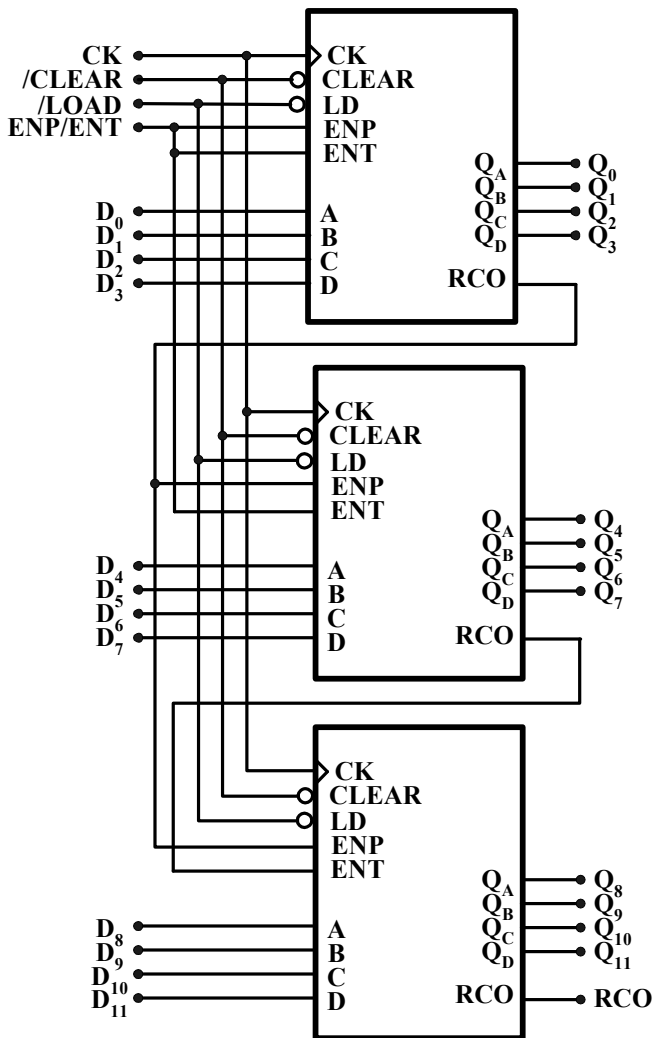
$$f=40kHz/64=625Hz$$

Η συχνότητα του σήματος στην έξοδο Q_8 του τρίτου ολοκληρωμένου θα είναι:

$$f=40kHz/512=78.125Hz$$



Σχήμα 7.25 Σύνδεση τριών μετρητών 74XX163 για το σχηματισμό ενός σπονδύλου μετρητή τριών βαθμίδων κρατούμενου ολίσθησης MOD-4096 (12 ψηφίων).



Σχήμα 7.26 Σύνδεση τριών μετρητών 74XX163 για το σχηματισμό ενός σπονδύλου μετρητή τριών βαθμίδων πρόβλεψης κρατούμενου MOD-4096 (12 ψηφίων).

Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
LIBRARY altera;
USE altera.maxplus2.all;

```

```
ENTITY scounter_mode4096test IS
```

```
  PORT (CK, LOADN, ENP_ENT, CLEARN :IN STD_LOGIC;
        D      :IN STD_LOGIC_VECTOR (11 DOWNT0 0);
        Q      :OUT STD_LOGIC_VECTOR (11 DOWNT0 0);
        RCO    :OUT STD_LOGIC);
```

```
END scounter_mode4096test;
```

```
ARCHITECTURE circuit OF scounter_mode4096test IS
```

```
SIGNAL X,Y :STD_LOGIC;
```

```
BEGIN
```

```
  counter1: a_74163
```

```
    PORT MAP (CK, LOADN, CLEARN, ENP_ENT, ENP_ENT,
              D(3), D(2), D(1), D(0), Q(3), Q(2), Q(1), Q(0), X);
```

```
  counter2: a_74163
```

```
    PORT MAP (CK, LOADN, CLEARN, X, X,
              D(7), D(6), D(5), D(4), Q(7), Q(6), Q(5), Q(4), Y);
```

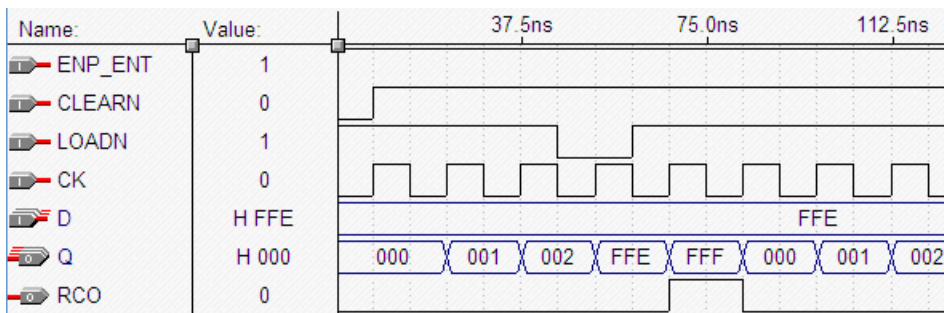
```
  counter3: a_74163
```

```
    PORT MAP (CK, LOADN, CLEARN, Y, Y,
              D(11), D(10), D(9), D(8), Q(11), Q(10), Q(9), Q(8), RCO);
```

```
END circuit;
```

Στο παράδειγμα αυτό παρουσιάστηκε ο τρόπος με τον οποίο μπορούν να υλοποιηθούν σπόνδυλοι μετρητών μεγαλύτερων MOD, όπως αυτός που φαίνεται στο σχήμα 7.27, χρησιμοποιώντας τα κλασικά ολοκληρωμένα, όπως στην προκειμένη περίπτωση τον μετρητή 74XX163, τα οποία είναι αποθηκευμένα υπό μορφή μακροσυναρτήσεων στη βιβλιοθήκη της ALTERA και μπορούν να χρησιμοποιηθούν ως συνιστώσες (**COMPONENTS**).

Αποτέλεσμα προσομοίωσης.



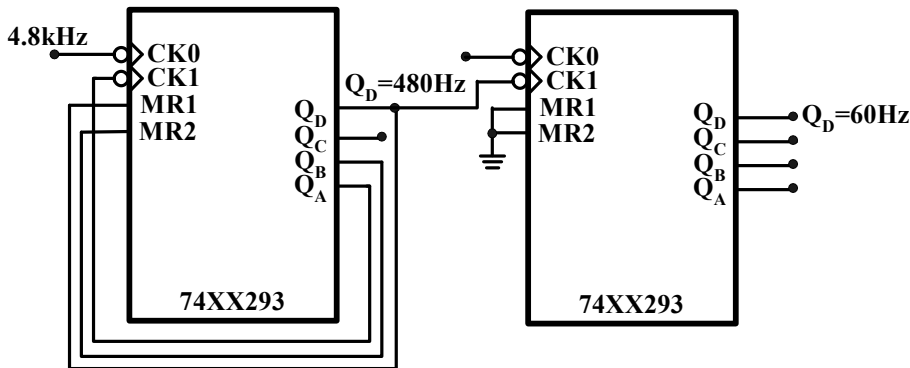
ΠΑΡΑΔΕΙΓΜΑ 7.7

Να συνδεθούν δύο μετρητές 74XX293 με τρόπο ώστε να παράξουν ένα σήμα συγχρόνισης 60Hz, όταν ο παλμός χρονισμού είναι 4.8kHz.

Εφόσον η συχνότητα του ρολογιού είναι 4.8kHz και η απαιτούμενη συχνότητα είναι 60 Hz, τότε η συχνότητα ρολογιού πρέπει να διαιρεθεί με τον αριθμό:

$$N=4.800/60=80$$

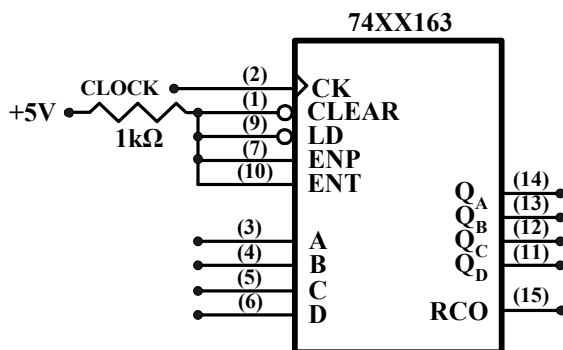
Επομένως, χρειάζεται ένας μετρητής MOD-80. Αυτός μπορεί να παρθεί αν το ένα ολοκληρωμένο συνδεθεί ως μετρητής MOD-10 και το δεύτερο ως μετρητής MOD-8.



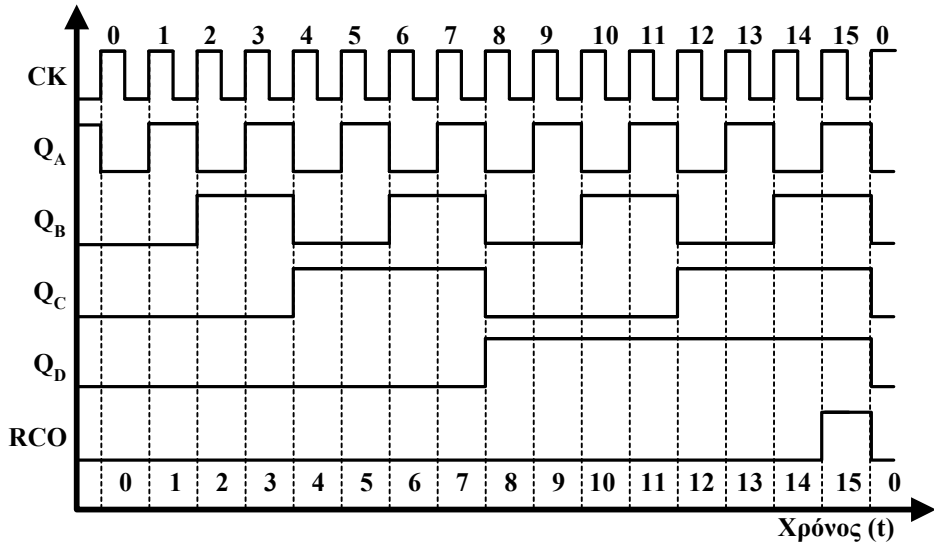
Σχήμα 7.27 Μετρητής MOD-80

Έτσι, η έξοδος Q_D του πρώτου μετρητή θα διαιρέσει τη συχνότητα του ρολογιού με το 10 δίνοντας ένα σήμα 480Hz, το οποίο στη συνέχεια οδηγείται στην είσοδο CK1 του δεύτερου ολοκληρωμένου που είναι συνδεδεμένο να μετρά ως μετρητής MOD-8, με το να μη χρησιμοποιείται το flip-flop A, και επομένως η έξοδος Q_D του δεύτερου μετρητή θα διαιρέσει τον παλμό ρολογιού με το 8 δίνοντας ένα σήμα συχνότητας 60Hz. Το κύκλωμα του απαιτούμενου μετρητή φαίνεται στο σχήμα 7.27.

Στο κύκλωμα του σχήματος 7.28 φαίνεται το ολοκληρωμένο 74XX163 συνδεδεμένο ως ένας μετρητής MOD 16 και στο σχήμα 7.29 το διάγραμμα χρονισμού του. Παρατηρείται ότι οι έξοδοι Q_A , Q_B , Q_C και Q_D διαιρούν το ρολόι δια του 2, 4, 8, και 16 αντίστοιχα.



Σχήμα 7.28 Το ολοκληρωμένο 74XX163 συνδεδεμένο ως ένας μετρητής MOD 16.

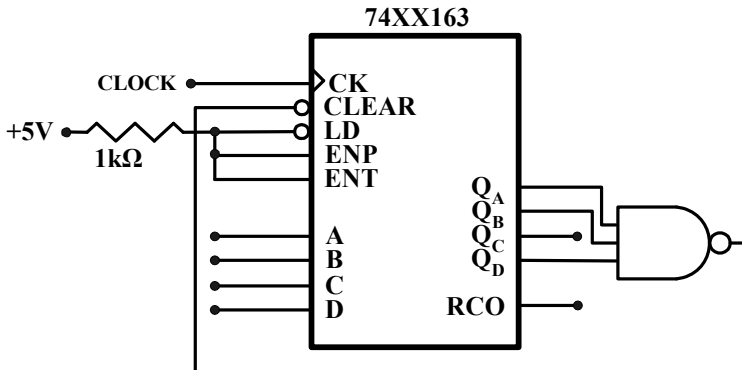


Σχήμα 7.29 Το διάγραμμα χρονισμού του 74XX163 ως μετρητή MOD-16.

ΠΑΡΑΔΕΙΓΜΑ 7.8

Να συνδεθεί ο μετρητής 74XX163 με τέτοιο τρόπο ώστε να γίνει ένας μετρητής MOD-12.

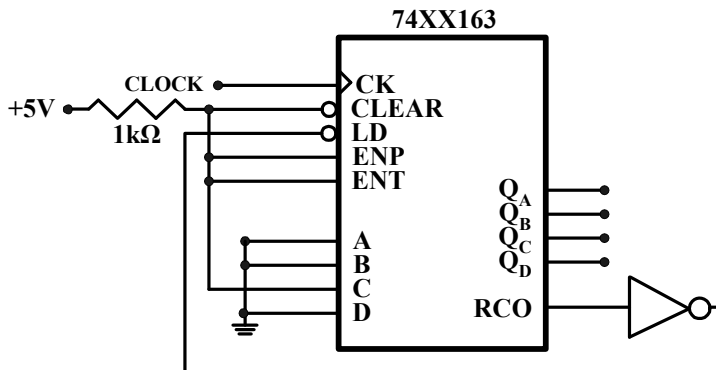
Ο μετρητής 74XX163 είναι ένας σύγχρονος μετρητής με σύγχρονη είσοδο καθαρισμού. Επομένως, η έξοδος της πύλης NAND θα γίνει μηδέν στο μέτωπο του ενδέκατου αλλά θα καθαρίσει το μετρητή με την έλευση του θετικού μετώπου του επόμενου παλμού χρονισμού, δηλαδή αφού προσμετρήσει και τον δωδέκατο παλμό. Με βάση επομένως αυτή τη λογική το απαιτούμενο κύκλωμα θα είναι αυτό που φαίνεται στο σχήμα 7.30.



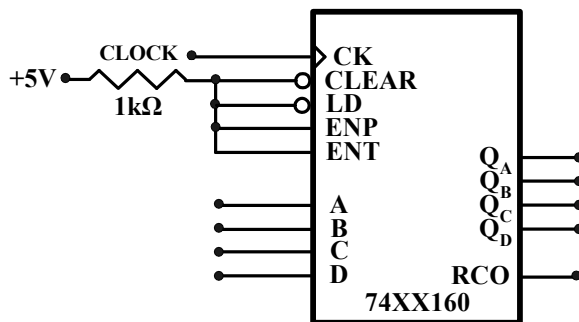
Σχήμα 7.30 Ο μετρητής 74XX163 ως μετρητής MOD-12.

Ένας άλλος τρόπος φαίνεται στο σχήμα 7.31. Εδώ, όταν ο μετρητής φτάσει να μετρά

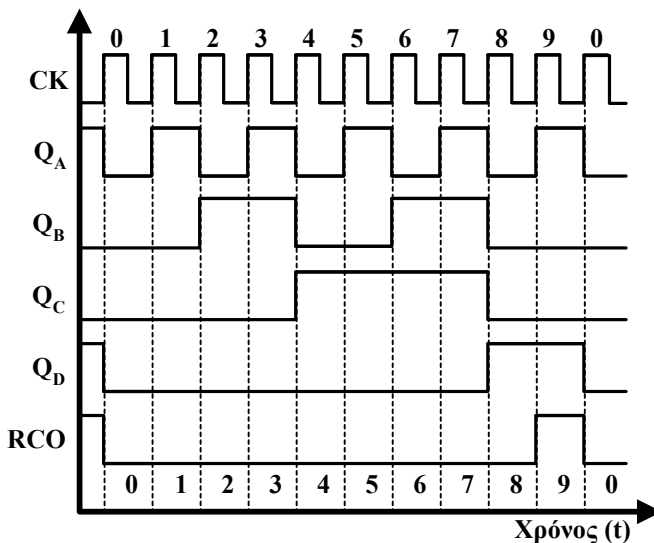
15, η έξοδος RCO μεταβαίνει σε λογικό "1", η έξοδος της πύλης NOT μεταβαίνει σε λογικό "0", ενεργοποιείται η είσοδος *LD* και αυτόματα φορτώνει το μετρητή με τον αριθμό 4. Έτσι, ο μετρητής μετρά απ' το 4 έως το 15, δηλαδή 12 γεγονότα.



Σχήμα 7.31 Ο μετρητής 74XX163 ως μετρητής MOD-12.



Σχήμα 7.32 Σύνδεση του 74XX160 ως μετρητή MOD-10.



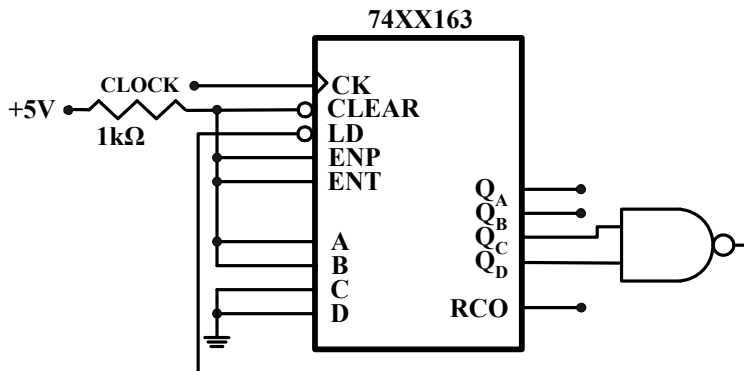
Σχήμα 7.33 Το διάγραμμα χρονισμού του 74XX160 ως μετρητή MOD-10.

Στο κύκλωμα του σχήματος 7.32 φαίνεται το ολοκληρωμένο 74XX160 συνδεδεμένο ως ένας μετρητής MOD-10 και στο σχήμα 7.33 το διάγραμμα χρονισμού του.

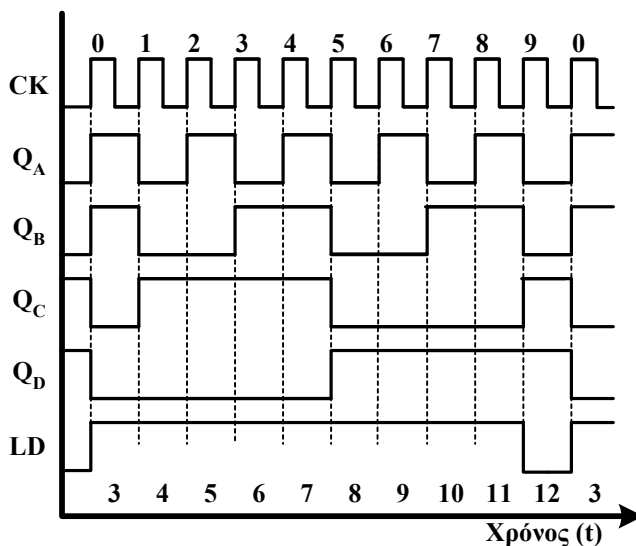
Παρατηρείται ότι οι έξοδοι Q_A , Q_B , Q_C και Q_D διαιρούν το ρολόι δια του 2, 4, 8, και 10, αντίστοιχα. Παρατηρείται επίσης ότι οι έξοδοι Q_C και Q_D δεν έχουν κύκλο ενεργού λειτουργίας 50%.

ΠΑΡΑΔΕΙΓΜΑ 7.9

Να συνδεθεί ο μετρητής 74XX163 με τέτοιο τρόπο ώστε να γίνει ένας μετρητής MOD-10 στον κώδικα «υπέρβασης 3».



Σχήμα 7.34 Μετρητής MOD-10 στον κώδικα «υπέρβασης 3».



Σχήμα 7.35 Το διάγραμμα χρονισμού του μετρητή MOD-10 στον κώδικα «υπέρβασης 3».

Στο σχήμα 7.34 φαίνεται ο τρόπος με τον οποίο πρέπει να συνδεθεί το ολοκληρωμένο 74XX163 προκειμένου να λειτουργεί ως ένας μετρητής MOD-10 στον κώδικα «υπέρβα-

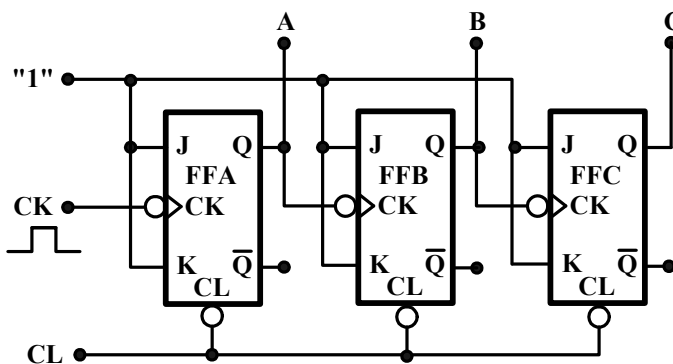
σης 3» και στο σχήμα 7.35 το διάγραμμα χρονισμού του.

Απ' το διάγραμμα χρονισμού προκύπτει ότι η έξοδος Q_D , πέρα απ' το ότι διαιρεί το ρολόι δια του 10, έχει και κύκλο ενεργού λειτουργίας 50%. Χαρακτηριστικό που μπορεί να χρησιμοποιηθεί όταν σε κάποια εφαρμογή χρειάζεται ένα σήμα που να διαιρεί τη συχνότητα ρολογιού με το 10 και ταυτόχρονα να έχει κύκλο ενεργού λειτουργίας 50%.

7.1.5 Αποκωδικοποίηση μετρητών

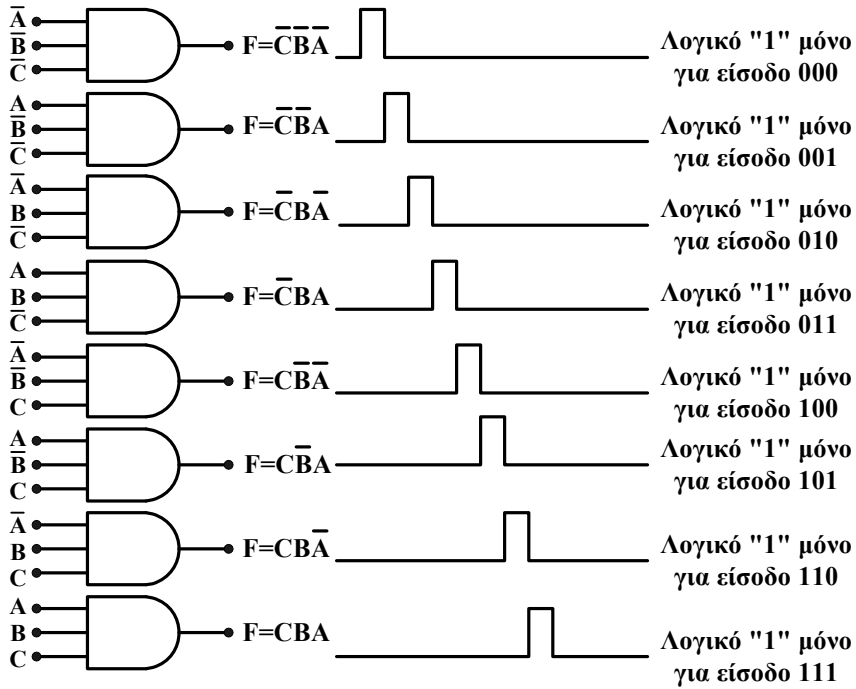
Σε πολλές εφαρμογές των μετρητών χρειάζεται να γίνεται η αποκωδικοποίηση των καταστάσεων των εξόδων του μετρητή. Αυτό μπορεί να γίνει είτε με τη χρήση απλών πυλών είτε με τη χρήση αποκωδικοποιητών, προκειμένου να ελεγχθεί το κατά πόσο οι εξοδοί του μετρητή είναι σε κάποια συγκεκριμένη δυαδική κατάσταση.

Η απλούστερη μορφή αποκωδικοποίησης που μπορεί να χρησιμοποιηθεί είναι να συνδεθεί σε κάθε έξοδο του μετρητή ένας ενδείκτης LED. Κάθε φορά που κάποια έξοδος θα βρίσκεται σε λογικό "1" το LED θα φωτίζει και κάθε φορά που θα βρίσκεται σε λογικό "0" το LED θα παραμένει σβηστό. Με τον τρόπο αυτό ο δυαδικός συνδυασμός των εξόδων θα είναι πάντα γνωστός. Επειδή όμως συνήθως οι μετρητές χρησιμοποιούνται σε κυκλώματα τα οποία καλούνται είτε να χρονίσουν είτε να ελέγξουν κάθε φορά που κάποιος συγκεκριμένος συνδυασμός θα παρουσιάζεται στην έξοδό τους, πρέπει να βρεθεί μία μέθοδος, που όταν ο συνδυασμός αυτός συμβεί, να ενεργοποιείται κάποια έξοδος η οποία θα παίζει το ρόλο του χρονιστή ή του ελεγκτή.



Σχήμα 7.36 Ασύγχρονος μετρητής τριών ψηφίων (MOD-8).

Ένας απλός τρόπος αποκωδικοποίησης των εξόδων του μετρητή είναι με τη χρήση πυλών AND. Αν υποθεθεί ότι απαιτείται να γίνει αποκωδικοποίηση των εξόδων του ασύγχρονου μετρητή τριών ψηφίων, που φαίνεται στο σχήμα 7.36, τότε θα χρειαστούν οκτώ πύλες AND τριών εισόδων προκειμένου να αποκωδικοποιηθούν και οι οκτώ δυνατές καταστάσεις των εξόδων του μετρητή, όπως αυτό φαίνεται στο σχήμα 7.37.



Σχήμα 7.37 Αποκωδικοποίηση του ασύγχρονου μετρητή τριών ψηφίων (MOD-8) με τη χρήση πυλών AND.

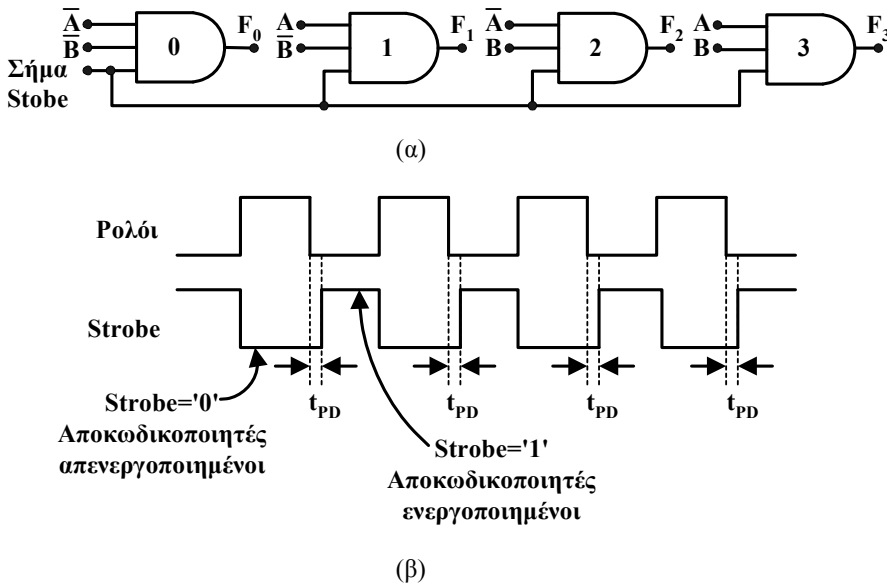
Όπως παρουσιάστηκε στην ανάλυση των ασύγχρονων μετρητών (σχήμα 7.4), οι συσσωρευμένες καθυστερήσεις διάδοσης στους ασύγχρονους μετρητές, πέρα απ' το ότι περιορίζουν τη συχνότητα μέτρησης, δημιουργούν ενδιάμεσες καταστάσεις μικρής διάρκειας οι οποίες μπορούν να δημιουργήσουν προβλήματα κατά την αποκωδικοποίηση ανάλογα με τη χρήση του μετρητή. Αν πρόκειται ο μετρητής μόνο να μετρά γεγονότα και να παραθέτει τα αποτελέσματα της μέτρησης, τότε οι αποκωδικοποιημένες αιχμές δεν δημιουργούν κανένα πρόβλημα, γιατί έχουν πολύ μικρή διάρκεια και ούτε καν θα φανούν στον ενδείκτη. Αν όμως ο μετρητής πρόκειται να χρησιμοποιηθεί για να ελέγξει άλλα λογικά κυκλώματα, τότε οι αιχμές μπορούν να δημιουργήσουν διάφορα προβλήματα προκαλώντας ανεπιθύμητες λειτουργίες.

Στις περιπτώσεις όπου το πρόβλημα με τις αποκωδικοποιημένες αιχμές μπορεί να προκαλέσει προβλήματα επιλέγεται είτε η χρησιμοποίηση σύγχρονων αντί των ασύγχρονων μετρητών είτε η χρησιμοποίηση μιας τεχνικής που λέγεται *Strobing*.

Η πρώτη λύση δεν είναι απολύτως ικανοποιητική γιατί κάποιες αιχμές, μικρότερης βέβαια διάρκειας, θα συνεχίσουν να υπάρχουν. Αυτό οφείλεται στο γεγονός ότι τα flip-flop του σύγχρονου μετρητή, αν και πυροδοτούνται απ' το ίδιο ρολόι, δεν έχουν τον ίδιο χρόνο t_{PD} , και επομένως οι έξοδοί τους θα αλλάζουν κατάσταση σε διαφορετικούς χρόνους δημιουργώντας αιχμές.

Η δεύτερη λύση αναφέρεται στη χρήση ενός σήματος *Strobe* που κρατά τις πύλες

AND ανενεργές έως ότου σταθεροποιηθούν σε κάποια κατάσταση όλες οι εξοδοί όλων των flip-flop του μετρητή, όπως φαίνεται στο σχήμα 7.38.



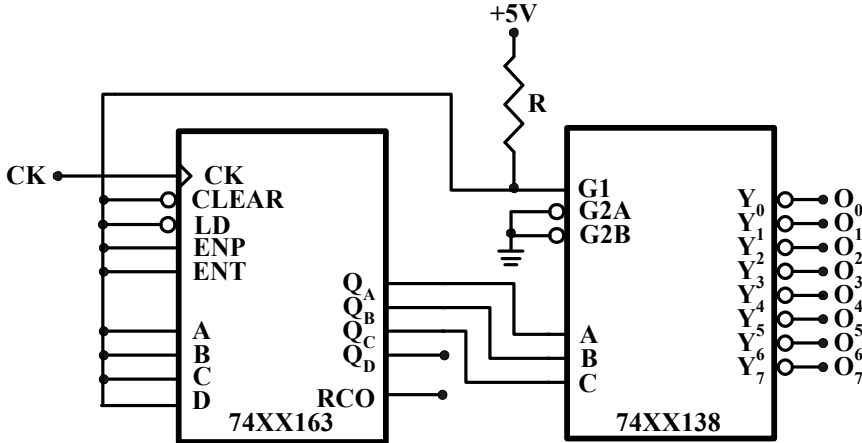
Σχήμα 7.38 Η χρήση του σήματος Strobe για την εξαφάνιση των αποκωδικοποιούμενων αιχμών.

Ένας άλλος τρόπος αποκωδικοποίησης είναι με τη χρήση ολοκληρωμένων κυκλωμάτων αποκωδικοποιητών, όπως φαίνεται στο κύκλωμα του σχήματος 7.39. Αυτή η μέθοδος χρησιμοποιείται όταν πρόκειται ο μετρητής να ελέγξει ένα αριθμό συσκευών, όπου για κάθε διαφορετική κατάσταση των εξόδων ενεργοποιείται μία διαφορετική συσκευή.

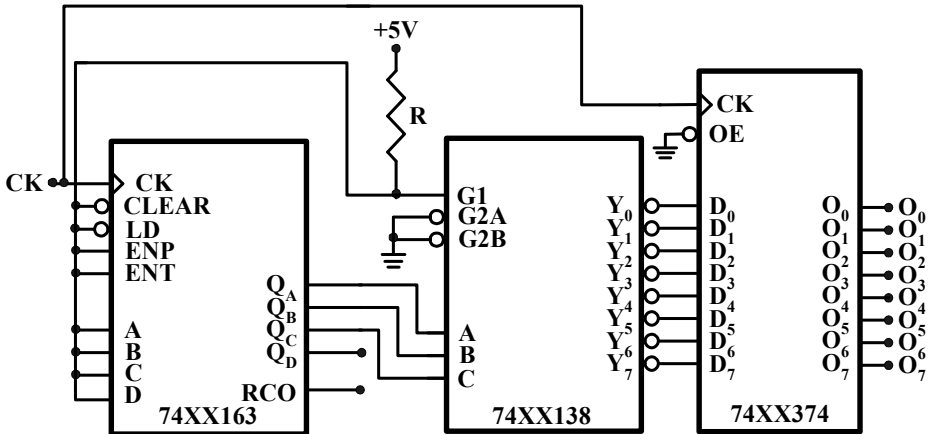
Παρατηρείται ότι και στην περίπτωση αυτή οι εξοδοί του αποκωδικοποιητή μπορεί να εμπεριέχουν αιχμές στη μετάβαση των καταστάσεων των εξόδων, όταν δύο ή περισσότερες εξοδοί αλλάζουν κατάσταση ταυτόχρονα ακόμα και στην περίπτωση που οι εξοδοί του σύγχρονου μετρητή, όπως είναι ο μετρητής 74XX163, δεν εμπεριέχουν αιχμές και ο αποκωδικοποιητής, εξαιτίας του τρόπου κατασκευής του, δεν έχει τέτοιο πρόβλημα. Οι αιχμές αυτές μπορεί να οφείλονται είτε στο γεγονός, που αναφέρθηκε παραπάνω και αφορά στις διαφορετικές καθυστερήσεις διάδοσης των flip-flop του σύγχρονου μετρητή, είτε, πιο πιθανό, στους πολλαπλούς διαδρόμους μετάδοσης του σήματος διαμέσου του ολοκληρωμένου του αποκωδικοποιητή, που δημιουργούν διαφορετικές καθυστερήσεις. Για παράδειγμα, ο διάδρομος απ' το B στο Y_1 είναι ταχύτερος απ' το διάδρομο απ' το A στο Y_1 . Επομένως, ακόμα και αν υποθεθεί ότι η είσοδος αλλάζει ταυτόχρονα απ' την κατάσταση 011_2 στην κατάσταση 100_2 , ο αποκωδικοποιητής μπορεί να συμπεριφερθεί σαν η είσοδος να ήταν στιγμιαία στην κατάσταση 001_2 και η εξόδος να παρουσίαζε αιχμή.

Το παραπάνω πρόβλημα μπορεί να αποφευχθεί με τη χρήση ενός επιπλέον σύγχρονου καταχωρητή που θα συνδεθεί στις εξόδους του αποκωδικοποιητή με τον τρόπο που φαίνεται στο σχήμα 7.40, έτσι ώστε να δίνει τις σταθερές καταστάσεις των εξόδων του αποκω-

δικοποιητή στον αμέσως επόμενο παλμό ρολογιού.



Σχήμα 7.39 Αποκωδικοποίηση μετρητή με τη χρήση του ολοκληρωμένου Κυκλώματος αποκωδικοποιητή 74XX138.



Σχήμα 7.40 Κύκλωμα αποκωδικοποίησης μετρητή με έναν αποκωδικοποιητή και έναν καταχωρητή/απομονωτή.

Στα ψηφιακά συστήματα η πληροφορία μεταφέρεται παράλληλα ή σειριακά. Η παράλληλη μεταφορά ψηφιακής πληροφορίας πλεονεκτεί στο ότι είναι ταχύτερη, αφού χρειάζεται ένας μόνο παλμός χρονισμού για τη μεταφορά όλων των ψηφίων μιας ψηφιολέξης, μειονεκτεί όμως στο ότι χρειάζονται τόσες γραμμές μεταφοράς, όσος είναι και ο αριθμός των ψηφίων της υπό μεταφορά ψηφιολέξης. Η σειριακή μεταφορά πλεονεκτεί στο ότι χρειάζεται μία μόνο γραμμή μεταφοράς για το σύνολο των ψηφίων της ψηφιολέξης, μειονεκτεί όμως στο ότι είναι πολύ αργή αφού χρειάζεται τόσους παλμούς χρονισμού, όσα και τα ψηφία της υπό μεταφορά ψηφιολέξης. Έτσι, όταν πρόκειται να γίνει μεταφορά πληροφορίας σε κοντινές αποστάσεις, για παράδειγμα πάνω στην ίδια κάρτα, τό-

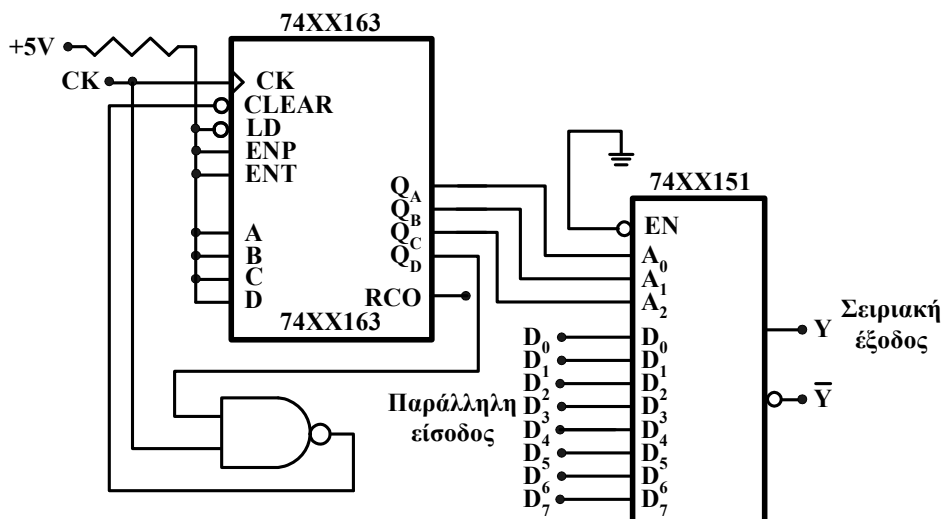
τε προτιμάται η παράλληλη μεταφορά. Όταν όμως πρόκειται να γίνει μεταφορά πληροφορίας σε μεγάλες αποστάσεις, τότε το κόστος της παράλληλης μεταφοράς την κάνει ασύμφορη και πρέπει να επιλεγεί η σειριακή μεταφορά. Αυτό σημαίνει ότι η παράλληλη πληροφορία πρέπει να μετατραπεί σε σειριακή, να γίνει η εκπομπή και η λήψη της σε σειριακή μορφή και στη συνέχεια να μετατραπεί ξανά από σειριακή σε παράλληλη μορφή.

ΠΑΡΑΔΕΙΓΜΑ 7.10

Χρησιμοποιώντας ένα μετρητή 74XX163, έναν πολυπλέκτη 74XX151 και πύλες να σχεδιαστεί ένα κύκλωμα μετατροπής παράλληλων δεδομένων σε σειριακά.

Διαδικασία σχεδίασης

Όταν πρόκειται να γίνει μεταφορά ψηφιακής πληροφορίας από ένα σημείο σε κάποιο άλλο απομεμακρυσμένο σημείο, τότε η πληροφορία μεταφέρεται διαμέσου μιας γραμμής μεταφοράς, ένα ψηφίο με κάθε παλμό χρονισμού. Αυτός ο τρόπος μεταφοράς πληροφορίας λέγεται σειριακή μεταφορά. Για να μεταφερθεί, επομένως, μια ψηφιολέξη χρειάζεται το κύκλωμα εκείνο που θα μετατρέψει την πληροφορία απ' την παράλληλη μορφή που έχει σε σειριακή μορφή. Ένα κύκλωμα που θα μπορούσε να κάνει αυτή τη λειτουργία είναι το κύκλωμα που φαίνεται στο σχήμα 7.41.



Σχήμα 7.41 Κύκλωμα μετατροπής παράλληλων δεδομένων σε σειριακά.

Έστω ότι ο μετρητής ξεκινά απ' την κατάσταση μηδέν, η οποία μπορεί να φορτωθεί απ' τις παράλληλες εισόδους του. Κάθε φορά που θα έρχεται ένας παλμός στην είσοδο CK του μετρητή, αυτός θα προσμετράται και θα ενεργοποιούνται ανάλογα οι γραμμές εξόδου. Ο πρώτος παλμός θα δώσει στις γραμμές εξόδου την τιμή 0001_2 . Τα τρία λιγότερο σημα-

ντικά ψηφία αυτής της τιμής εφαρμόζονται στις εισόδους επιλογής του πολυπλέκτη και βγάζουν στην έξοδο Y την κατάσταση που υπάρχει στην είσοδο D_0 . Ο δεύτερος παλμός θα δώσει στις γραμμές εξόδου του μετρητή την τιμή 0001_2 η οποία θα βγάλει στην έξοδο την κατάσταση της εισόδου D_1 κ.ο.κ. Μετά από οκτώ παλμούς η πληροφορία που εφαρμόζεται σε παράλληλη μορφή στις εισόδους D_0-D_7 του πολυπλέκτη, θα έχει βγει σε σειριακή μορφή απ' την έξοδο Y του πολυπλέκτη.

Ο ένατος παλμός διαμέσου της πύλης NAND θα βγάλει στις εξόδους του μετρητή πάλι 0000_2 προκειμένου να γίνει μετατροπή νέας παράλληλης πληροφορίας, που στο μεταξύ έχει εφαρμοστεί στις εισόδους D_0-D_7 του πολυπλέκτη.

7.2 ΚΑΤΑΧΩΡΗΤΕΣ

Όπως προαναφέρθηκε, τα κυκλώματα αυτά αποτελούνται από flip-flop και χρησιμοποιούνται για να απομνημονεύσουν ψηφιακή πληροφορία υπό μορφή ψηφιολέξεων το μήκος των οποίων είναι ίσο με τον αριθμό των flip-flops απ' τα οποία αποτελείται ο συγκεκριμένος καταχωρητής. Είναι συνήθως αναγκαίο να υπάρχει η δυνατότητα, η εγγραφείσα πληροφορία να μπορεί να μετατοπίζεται μέσα στον καταχωρητή κατά μία ή περισσότερες θέσεις, οπότε ο καταχωρητής ονομάζεται καταχωρητής ολίσθησης (shift register).

Αν η ολίσθηση γίνεται προς τα αριστερά, τότε ο καταχωρητής ονομάζεται καταχωρητής ολίσθησης προς τα αριστερά, ενώ αν η ολίσθηση γίνεται προς τα δεξιά, τότε ο καταχωρητής ονομάζεται καταχωρητής ολίσθησης προς τα δεξιά.

Οι καταχωρητές, ανάλογα με τον τρόπο που δέχονται τις πληροφορίες και τον τρόπο που δίνουν τις πληροφορίες, χωρίζονται:

α. Στους καταχωρητές εισόδου σειράς, στους οποίους η δυαδική πληροφορία εισέρχεται ένα-ένα ψηφίο απ' την είσοδο του πρώτου flip-flop και προωθείται προς το τελευταίο, ένα ψηφίο με κάθε παλμό χρονισμού.

β. Στους καταχωρητές εξόδου σειράς, στους οποίους η δυαδική πληροφορία που είναι καταχωρημένη στον καταχωρητή, παίρνεται απ' την έξοδο του τελευταίου flip-flop, ένα ψηφίο με κάθε παλμό χρονισμού.

γ. Στους καταχωρητές παράλληλης εισόδου, στους οποίους όλα τα ψηφία της δυαδικής πληροφορίας εισέρχονται και καταχωρούνται ταυτόχρονα με έναν παλμό χρονισμού, ένα ψηφίο από κάθε είσοδο flip-flop.

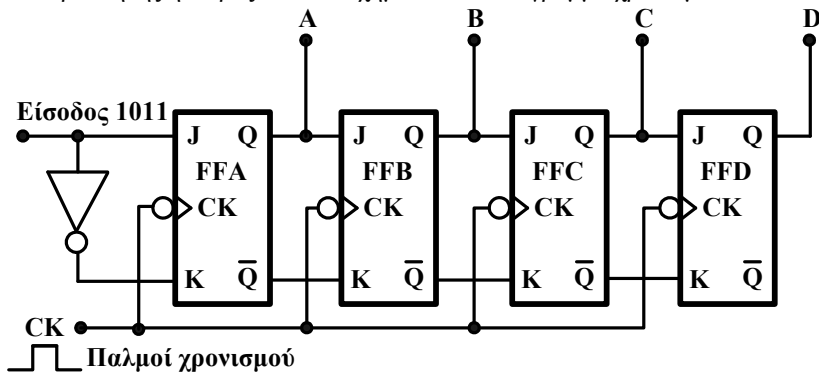
δ. Στους καταχωρητές παράλληλης εξόδου, στους οποίους η καταχωρημένη δυαδική πληροφορία παίρνεται ταυτόχρονα με έναν παλμό χρονισμού, από όλα τα flip-flop, ένα ψηφίο από κάθε έξοδο flip-flop.

Υπάρχουν καταχωρητές με διάφορους συνδυασμούς εισόδου/εξόδου. Καταχωρητές εισόδου σειράς/εξόδου σειράς (Serial in/Serial out ή SISO), εισόδου σειράς/εξόδου σειράς (Serial in/Parallel out ή SIPO), εισόδου παράλληλης/εξόδου σειράς (Parallel in/Serial out ή PISO), εισόδου παράλληλης/εξόδου παράλληλης (Parallel in/Parallel out ή PIPO).

7.2.1 Καταχωρητής Ολίσθησης

Στο κύκλωμα του σχήματος 7.42 φαίνεται ένας τυπικός καταχωρητής εισόδου σειράς,

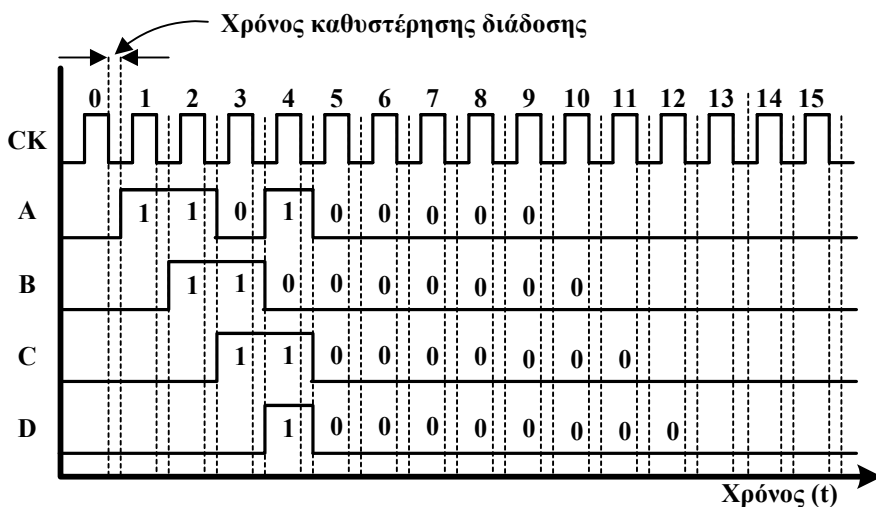
εξόδου παράλληλης ή σειράς και στο σχήμα 7.43 το διάγραμμα χρονισμού του.



Σχήμα 7.42 Καταχωρητής ολίσθησης τεσσάρων ψηφίων.

Παρατηρείται ότι οι εξόδου του προηγούμενου flip-flop τροφοδοτούν τις εισόδους του επόμενου flip-flop, που σημαίνει ότι στο αρνητικό μέτωπο κάθε χρονοπαλμού, η εκάστοτε έξοδος του προηγούμενου flip-flop, που είναι ταυτόχρονα και είσοδος στο επόμενο, θα μεταφέρεται και θα καταχωρείται στο επόμενο. Με τον τρόπο αυτό κάθε νέος χρονοπαλμός θα ολισθαίνει τα περιεχόμενα του καταχωρητή κατά μία θέση προς τα δεξιά, απ' όπου και το όνομα "καταχωρητής ολίσθησης".

Για να γίνει πιο εύκολη η κατανόηση της λειτουργίας του καταχωρητή θα υποτεθεί ότι απαιτείται να καταχωρηθεί η δυαδική ψηφιολέξη 1011_2 .



Σχήμα 7.43 Διάγραμμα χρονισμού καταχώρησης της δυαδικής πληροφορίας 1011_2 στον καταχωρητή ολίσθησης τεσσάρων ψηφίων.

Στο πρώτο flip-flop η προς εγγραφή πληροφορία Π δίνεται απ' την είσοδο J_A (πρώτα το λιγότερο σημαντικό ψηφίο). Έστω ότι ο καταχωρητής έχει καθαριστεί και περιέχει την

πληροφορία 0000₂.

Εφαρμόζεται στην είσοδο J_A λογική κατάσταση "1". Η έξοδος του πρώτου χρονοπαλμού θα βρει στις εισόδους των flip-flop $J_A=1$ και $J_B=J_C=J_D=0$ και θα κάνει τις εξόδους $A=J_B=1$, $B=J_C=0$, $C=J_D=0$ και $D=0$.

Στην είσοδο J_A εφαρμόζεται το αμέσως επόμενο σε σημαντικότητα ψηφίο που είναι πάλι "1". Η έξοδος του δεύτερου παλμού χρονισμού θα βρει τις εισόδους των flip-flop $J_A=J_B=1$ και $J_C=J_D=0$ και θα κάνει τις εξόδους $A=J_B=1$, $B=J_C=1$, $C=J_D=0$ και $D=0$.

Στην είσοδο J_A εφαρμόζεται το αμέσως επόμενο σε σημαντικότητα ψηφίο που είναι "0". Η έξοδος του τρίτου παλμού χρονισμού θα βρει τις εισόδους των flip-flop $J_A=0$, $J_B=1$, $J_C=1$ και $J_D=0$ και θα κάνει τις εξόδους $A=J_B=0$, $B=J_C=1$, $C=J_D=1$ και $D=0$.

Στην είσοδο J_A εφαρμόζεται το αμέσως επόμενο σε σημαντικότητα ψηφίο που είναι "1". Η έξοδος του τέταρτου παλμού χρονισμού θα βρει τις εισόδους των flip-flop $J_A=1$, $J_B=0$, $J_C=1$ και $J_D=1$ και θα κάνει τις εξόδους $A=J_B=1$, $B=J_C=0$, $C=J_D=1$ και $D=1$.

Έτσι, μετά τον τέταρτο χρονοπαλμό η πληροφορία 1011₂ έχει καταχωρηθεί και εμφανίζεται στις εξόδους A , B , C και D , αντίστοιχα και επομένως μπορεί να διαβαστεί ταυτόχρονα από όλες τις εξόδους.

Η πληροφορία αυτή μπορεί να παρθεί (διαβαστεί) απ' την έξοδο D , ένα ψηφίο κάθε φορά, αν σταλθούν τρεις ακόμη χρονοπαλμοί, οπότε λέγεται ότι η πληροφορία διαβάζεται σειριακά και αναφέρεται ως σειριακή έξοδος.

Η ίδια πληροφορία μπορεί να παρθεί (διαβαστεί) από όλες τις εξόδους, ταυτόχρονα, με έναν παλμό χρονισμού και τότε λέγεται ότι η πληροφορία διαβάζεται παράλληλα και αναφέρεται ως παράλληλη έξοδος.

Ο καταχωρητής ολίσθησης είναι ένα σύγχρονο ακολουθιακό κύκλωμα και επομένως μπορεί να σχεδιαστεί σύμφωνα με τη διαδικασία σχεδίασης των σύγχρονων ακολουθιακών κυκλωμάτων.

ΠΑΡΑΔΕΙΓΜΑ 7.11

Να σχεδιαστεί ένας καταχωρητής ολίσθησης τεσσάρων ψηφίων που θα χρησιμοποιεί ακμοπυρόδοτο πυροδοτούμενο στο θετικό μέτωπο του παλμού χρονισμού D flip-flop.

Διαδικασία σχεδίασης

Συντάσσεται ο πίνακας καταστάσεων 7.16 του καταχωρητή ολίσθησης. Η σειριακή έξοδος είναι συνάρτηση της σειριακής εισόδου. Επομένως, η επόμενη κατάσταση θα είναι και αυτή συνάρτηση της κατάστασης εισόδου S_{in} .

Επιλέγεται να χρησιμοποιηθούν D flip-flop για την υλοποίηση του κυκλώματος και έχοντας υπόψη την εξίσωση διέγερσης του D flip-flop ($Q^+=D$) συντάσσεται ο πίνακας διεγέρσεων 7.17 του καταχωρητή.

Πίνακας 7.16

Παρούσα Κατάσταση	Επόμενη Κατάσταση		Έξοδος So
	Sin=0	Sin=1	
$Q_A Q_B Q_C Q_D$	$Q_A^+ Q_B^+ Q_C^+ Q_D^+$	$Q_A^+ Q_B^+ Q_C^+ Q_D^+$	
0 0 0 0	0 0 0 0	1 0 0 0	0
0 0 0 1	0 0 0 0	1 0 0 0	1
0 0 1 0	0 0 0 1	1 0 0 1	0
0 0 1 1	0 0 0 1	1 0 0 1	1
0 1 0 0	0 0 1 0	1 0 1 0	0
0 1 0 1	0 0 1 0	1 0 1 0	1
0 1 1 0	0 0 1 1	1 0 1 1	0
0 1 1 1	0 0 1 1	1 0 1 1	1
1 0 0 0	0 1 0 0	1 1 0 0	0
1 0 0 1	0 1 0 0	1 1 0 0	1
1 0 1 0	0 1 0 1	1 1 0 1	0
1 0 1 1	0 1 0 1	1 1 0 1	1
1 1 0 0	0 1 1 0	1 1 1 0	0
1 1 0 1	0 1 1 0	1 1 1 0	1
1 1 1 0	0 1 1 1	1 1 1 1	0
1 1 1 1	0 1 1 1	1 1 1 1	1

Πίνακας 7.17

Παρούσα Κατάσταση	Επόμενη Κατάσταση		Είσοδοι flip-flop		Έξ. So
	Sin=0	Sin=1	Sin=0	Sin=1	
$Q_A Q_B Q_C Q_D$	$Q_A^+ Q_B^+ Q_C^+ Q_D^+$	$Q_A^+ Q_B^+ Q_C^+ Q_D^+$	$D_A D_B D_C D_D$	$D_A D_B D_C D_D$	
0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0	0
0 0 0 1	0 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0	1
0 0 1 0	0 0 0 1	1 0 0 1	0 0 0 1	1 0 0 1	0
0 0 1 1	0 0 0 1	1 0 0 1	0 0 0 1	1 0 0 1	1
0 1 0 0	0 0 1 0	1 0 1 0	0 0 1 0	1 0 1 0	0
0 1 0 1	0 0 1 0	1 0 1 0	0 0 1 0	1 0 1 0	1
0 1 1 0	0 0 1 1	1 0 1 1	0 0 1 1	1 0 1 1	0
0 1 1 1	0 0 1 1	1 0 1 1	0 0 1 1	1 0 1 1	1
1 0 0 0	0 1 0 0	1 1 0 0	0 1 0 0	1 1 0 0	0
1 0 0 1	0 1 0 0	1 1 0 0	0 1 0 0	1 1 0 0	1
1 0 1 0	0 1 0 1	1 1 0 1	0 1 0 1	1 1 0 1	0
1 0 1 1	0 1 0 1	1 1 0 1	0 1 0 1	1 1 0 1	1
1 1 0 0	0 1 1 0	1 1 1 0	0 1 1 0	1 1 1 0	0
1 1 0 1	0 1 1 0	1 1 1 0	0 1 1 0	1 1 1 0	1
1 1 1 0	0 1 1 1	1 1 1 1	0 1 1 1	1 1 1 1	0
1 1 1 1	0 1 1 1	1 1 1 1	0 1 1 1	1 1 1 1	1

Απ' τον πίνακα 7.17 προκύπτει ότι οι είσοδοι D_B , D_C και D_D των flip-flop είναι ίδιες και για $Sin=0$ και για $Sin=1$ και η είσοδος $D_A=Sin$ σε κάθε περίπτωση. Έτσι,

$$D_D = \Sigma(2,3,6,7,10,11,14,15), D_C = \Sigma(4,5,6,7,12,13,14,15), D_B = \Sigma(8,9,10,11,12,13,14,15)$$

$$S_O = \Sigma(1,3,5,7,9,11,13,15)$$

Απ' τις παραπάνω εξισώσεις υπολογίζονται με τη βοήθεια του πίνακα Karnaugh οι ελάχιστες συναρτήσεις διέγερσης D_B , D_C , D_D των εισόδων των flip-flop και της εξόδου S_O του καταχωρητή.

$Q_A Q_B$	00	01	11	10
$Q_C Q_D$ 00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

$$D_D = C$$

$Q_A Q_B$	00	01	11	10
$Q_C Q_D$ 00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	0	1	1	0

$$D_C = B$$

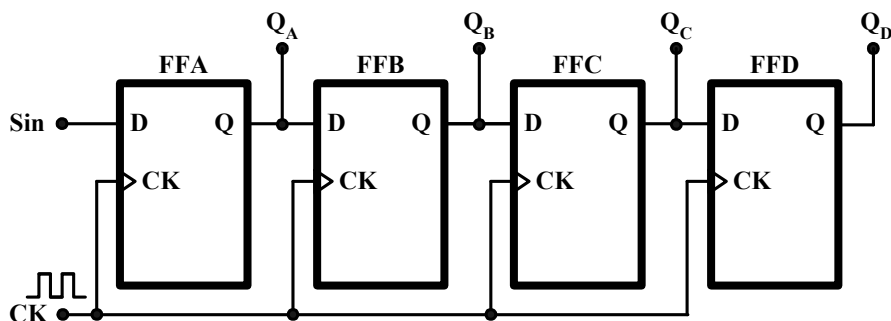
$Q_A Q_B$	00	01	11	10
$Q_C Q_D$ 00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

$$D_B = A$$

$Q_A Q_B$	00	01	11	10
$Q_C Q_D$ 00	0	0	0	0
01	1	1	1	1
11	1	1	1	1
10	0	0	0	0

$$S_O = D$$

Με βάση τις παραπάνω εξισώσεις διέγερσης των flip-flop συντίθεται ο καταχωρητής ολίσθησης του σχήματος 7.44.



Σχήμα 7.44 Καταχωρητής ολίσθησης τεσσάρων ψηφίων με D flip-flop

Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

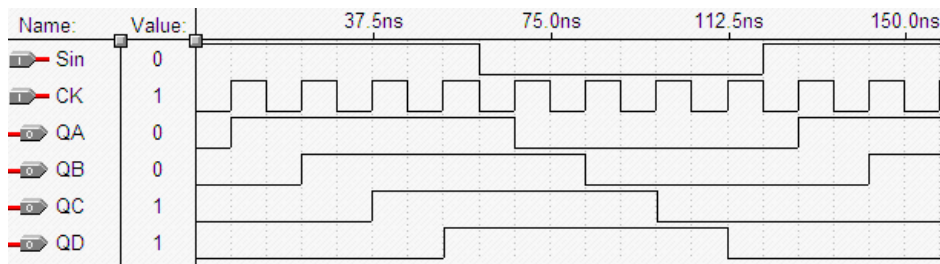
```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY shiftregister_4 IS
    PORT (Sin, CK          :IN STD_LOGIC;
          QA, QB, QC, QD    :BUFFER STD_LOGIC);
END shiftregister_4;

ARCHITECTURE model OF shiftregister_4 IS
BEGIN
    PROCESS (CK)
    BEGIN
        IF (CK='1' AND CK'EVENT) THEN
            QA<=Sin; QB<=QA; QC<=QB; QD<=QC;
        END IF;
    END PROCESS;
END model;
    
```

Αποτέλεσμα προσομοίωσης.



ΠΑΡΑΔΕΙΓΜΑ 7.12

Να ξανασχεδιαστεί το κύκλωμα ελεγκτή διαδρόμου με τη χρήση καταχωρητή ολίσθησης του παραδείγματος 6.11, που θα παράξει τα σήματα που χρειάζονται προκειμένου να ανταλλάχθούν τα περιεχόμενα των καταχωρητών 1 και 2.

Στο κύκλωμα 7.45 φαίνεται ένας καταχωρητής ολίσθησης τριών ψηφίων που θα μπορούσε να αποτελέσει μια λύση στο πρόβλημα.

Στην αρχή καθαρίζεται ο καταχωρητής δίνοντας έναν παλμό στην είσοδο *RESET*. Η είσοδος *X* ελέγχει αν και πότε θα γίνει η ανταλλαγή. Επομένως, όταν θα χρειαστεί να γίνει η ανταλλαγή, η είσοδος αυτή θα ενεργοποιηθεί (λογικό "1") για χρόνο ίσο με την περίοδο του παλμού χρονισμού και στη συνέχεια θα μεταβεί σε λογικό "0". **Πρέπει**

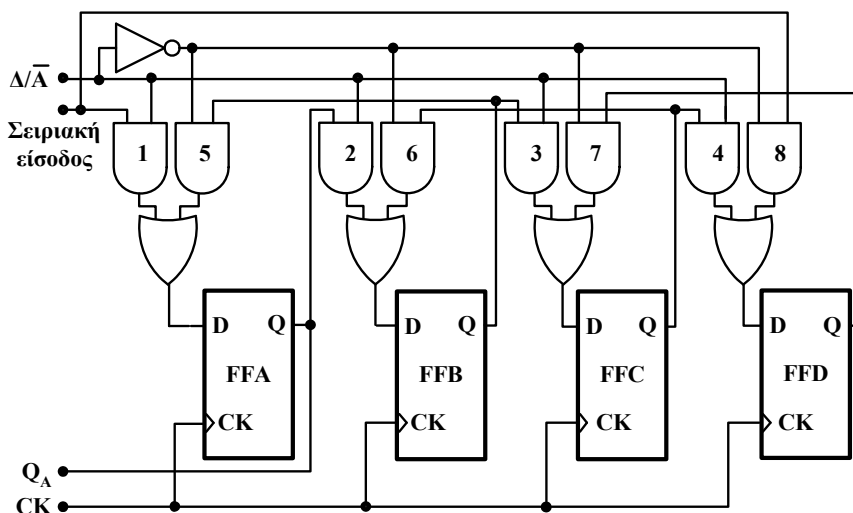
έξοδο του FFB στο "1", ενεργοποιώντας έτσι την έξοδο του καταχωρητή 1 και την είσοδο του καταχωρητή 2, και θα τοποθετήσει τα περιεχόμενα του καταχωρητή 1 στις γραμμές του διαδρόμου. Το αρνητικό μέτωπο του ίδιου παλμού θα βρει την είσοδο του καταχωρητή 2 ενεργοποιημένη και θα καταχωρήσει σ' αυτόν τα δεδομένα που υπάρχουν πάνω στο διάδρομο.

Το θετικό μέτωπο του τρίτου παλμού χρονισμού θα βρει την είσοδο X του FFA στο "0", την είσοδο του FFB στο "0" και την είσοδο του FFC στο "1", θα οδηγήσει την έξοδο του FFA στο "0", την έξοδο του FFB στο "0" και την έξοδο του FFC στο "1", ενεργοποιώντας έτσι την έξοδο του καταχωρητή 3 και την είσοδο του καταχωρητή 1, και θα τοποθετήσει τα περιεχόμενα του καταχωρητή 3 στις γραμμές του διαδρόμου. Το αρνητικό μέτωπο του ίδιου παλμού θα βρει την είσοδο του καταχωρητή 1 ενεργοποιημένη και θα καταχωρήσει σ' αυτόν τα δεδομένα που υπάρχουν πάνω στο διάδρομο.

Η παραπάνω διαδικασία παραγωγής των παλμών ελέγχου περιγράφεται στο σχήμα 7.46.

7.2.2 Καταχωρητής ολίσθησης διπλής κατεύθυνσης

Ο καταχωρητής ολίσθησης διπλής κατεύθυνσης είναι εκείνος στον οποίο τα δεδομένα μπορούν να ολισθήσουν είτε προς τα αριστερά είτε προς τα δεξιά. Αυτό επιτυγχάνεται με κάποια λογική που επιτρέπει τη μετακίνηση ενός ψηφίου δεδομένων από βαθμίδα στην άλλη είτε προς τα δεξιά είτε προς τα αριστερά ανάλογα με την κατάσταση της εισόδου ελέγχου.



Σχήμα 7.47 Καταχωρητής ολίσθησης δύο κατευθύνσεων.

Στο σχήμα 7.47 φαίνεται ένας καταχωρητής ολίσθησης δύο κατευθύνσεων κατασκευασμένος από D flip-flop. Όταν η γραμμή ελέγχου $\Delta\Xi\Lambda/\text{API}\Sigma\text{TEPA}$ (Δ/Λ) γίνει λογικό "1", η πληροφορία ολισθαίνει προς τα αριστερά και όταν γίνει λογικό "0", η πληροφορία ολισθαίνει προς τα δεξιά. Αυτό επιτυγχάνεται μέσα απ' τη λογική των πυλών.

Όταν η είσοδος ελέγχου είναι σε λογικό "1", ενεργοποιούνται οι πύλες 1 έως 4 και η κατάσταση της εξόδου Q κάθε flip-flop περνά στην είσοδο D του επόμενου flip-flop. Όταν έρθει ο παλμός χρονισμού, τα δεδομένα ολισθαίνουν κατά μία θέση προς τα δεξιά.

Όταν η είσοδος ελέγχου είναι σε λογικό "0", ενεργοποιούνται οι πύλες 5 έως 8 και η κατάσταση της εξόδου Q κάθε flip-flop περνά στην είσοδο D του προηγούμενου flip-flop.

Όταν έρθει ο παλμός χρονισμού, τα δεδομένα ολισθαίνουν κατά μία θέση προς τα αριστερά.

Σχεδίαση με CAD

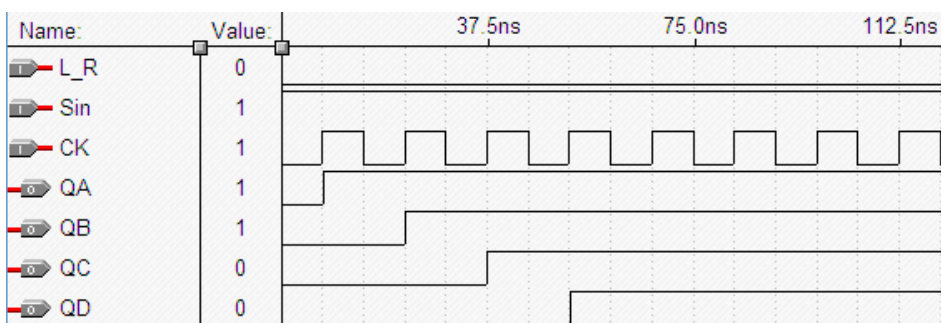
Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

```

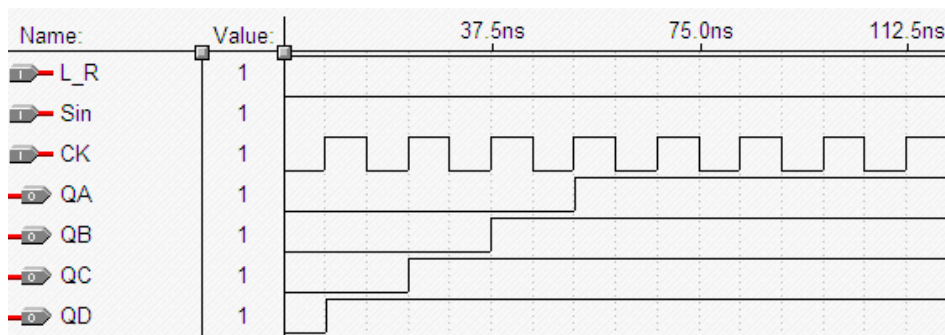
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY shiftregister_4lr IS
    PORT (Sin, CK, L_R      :IN STD_LOGIC;
          QA, QB, QC, QD    :BUFFER STD_LOGIC);
END shiftregister_4lr;

ARCHITECTURE model OF shiftregister_4lr IS
BEGIN
    PROCESS (CK)
    BEGIN
        WAIT UNTIL CK='1' AND CK'EVENT;
        IF L_R='0' THEN
            QA<=Sin; QB<=QA; QC<=QB; QD<=QC;
        ELSE
            QD<=Sin; QC<=QD; QB<=QC; QA<=QB;
        END IF;
    END PROCESS;
END model;
    
```

Αποτέλεσμα προσομοίωσης ολίσθησης προς τα δεξιά.

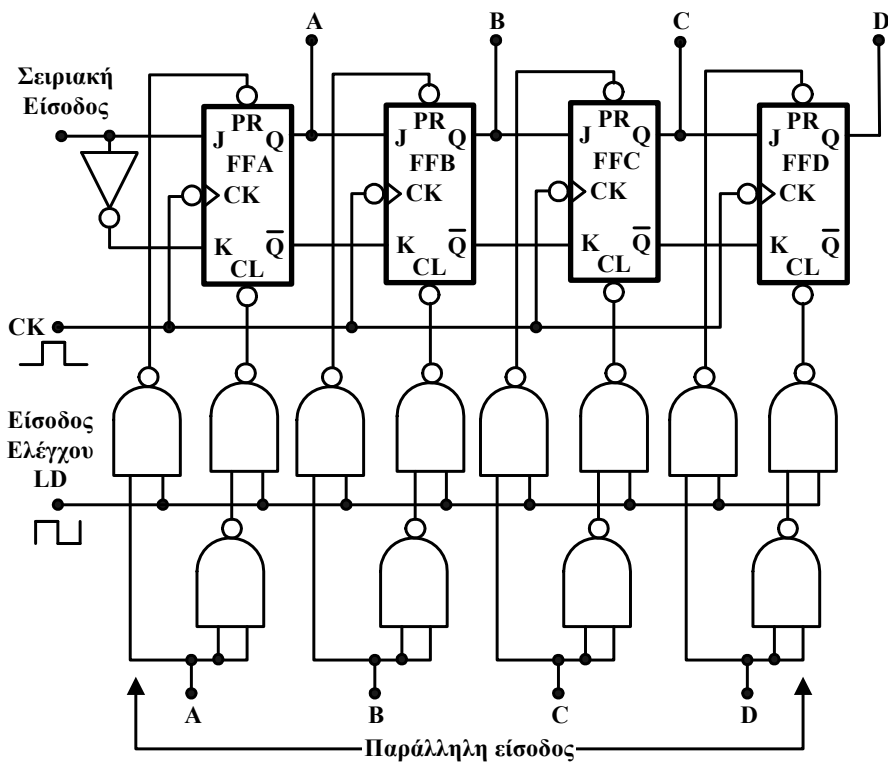


Αποτέλεσμα προσομοίωσης ολίσθησης προς τ' αριστερά.



7.2.3 Καταχωρητής παράλληλης εισόδου

Στο κύκλωμα του σχήματος 7.48 φαίνεται ένας καταχωρητής παράλληλης εισόδου. Εδώ, τα τέσσερα ψηφία της ψηφιολέξης καταχωρούνται ταυτόχρονα στα τέσσερα flip-flop του καταχωρητή, ένα από κάθε μία απ' τις τέσσερις εισόδους του.



Σχήμα 7.48 Καταχωρητής παράλληλης εισόδου.

Προτού αναπτυχθεί η λειτουργία του καταχωρητή αυτού πρέπει να αναφερθεί ότι:

α. Όταν η είσοδος καθαρισμού CL του flip-flop πάει σε λογικό "0", η έξοδος Q θα μεταβεί σε λογικό "0" ανεξάρτητα απ' τη σειριακή είσοδο και την είσοδο CK.

β. Όταν η είσοδος προτοποθέτησης PR του flip-flop πάει σε λογικό "0", η έξοδος Q θα μεταβεί σε λογικό "1" ανεξάρτητα απ' τη σειριακή είσοδο και την είσοδο CK.

Ας υποθεθεί ότι απαιτείται να καταχωρηθεί η ψηφιολέξη 1011_2 .

Η πληροφορία αυτή εφαρμόζεται στις εισόδους A , B , C και D (στην είσοδο A το περισσότερο σημαντικό ψηφίο). Για όσο χρονικό διάστημα η είσοδος ελέγχου LD είναι σε λογικό "0", καμία πληροφορία δεν μπορεί να καταχωρηθεί απ' τις παράλληλες εισόδους επειδή μέσα απ' το κύκλωμα των πυλών NAND οι εισόδοι $\overline{PR}$ και $\overline{CL}$ όλων των flip-flop είναι απενεργοποιημένες (λογικό "1"). Πληροφορία μπορεί να καταχωρηθεί απ' τη σειριακή είσοδο.

Όταν η είσοδος ελέγχου LD γίνει λογικό "1", τότε μέσα απ' την διάταξη των πυλών NAND:

α. Η είσοδος $\overline{PR}_A$ θα πάει σε λογικό "0" τοποθετώντας την έξοδο Q_A σε λογικό "1".

β. Η είσοδος $\overline{CL}_B$ θα πάει σε λογικό "0" τοποθετώντας την έξοδο Q_B σε λογικό "0".

γ. Η είσοδος $\overline{PR}_C$ θα πάει σε λογικό "0" τοποθετώντας την έξοδο Q_C σε λογικό "1".

δ. Η είσοδος $\overline{PR}_D$ θα πάει σε λογικό "0" τοποθετώντας την έξοδο Q_D σε λογικό "1".

Έτσι με ένα μόνο χρονοπαλμό η πληροφορία 1011_2 έχει καταχωρηθεί ταυτόχρονα και εμφανίζεται στις εξόδους A , B , C και D , αντίστοιχα, του καταχωρητή. Αυτός ο τρόπος καταχώρησης της πληροφορίας αναφέρεται σαν παράλληλη είσοδος. Η πληροφορία αυτή μπορεί να διαβαστεί είτε παράλληλα από όλες τις εξόδους ταυτόχρονα είτε σειριακά απ' την έξοδο Q_D .

Αυτός ο καταχωρητής, επειδή συνδυάζει όλες τις μορφές εισόδου-εξόδου, λέγεται **γενικός καταχωρητής (universal register)**.

Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

1^{ος} Τρόπος

LIBRARY IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

ENTITY shiftregister_universal IS

PORT (Sin, CK, LD, A, B, C, D :IN STD_LOGIC;

QA, QB, QC, QD :BUFFER STD_LOGIC);

END shiftregister_universal;

ARCHITECTURE model OF shiftregister_universal IS

BEGIN

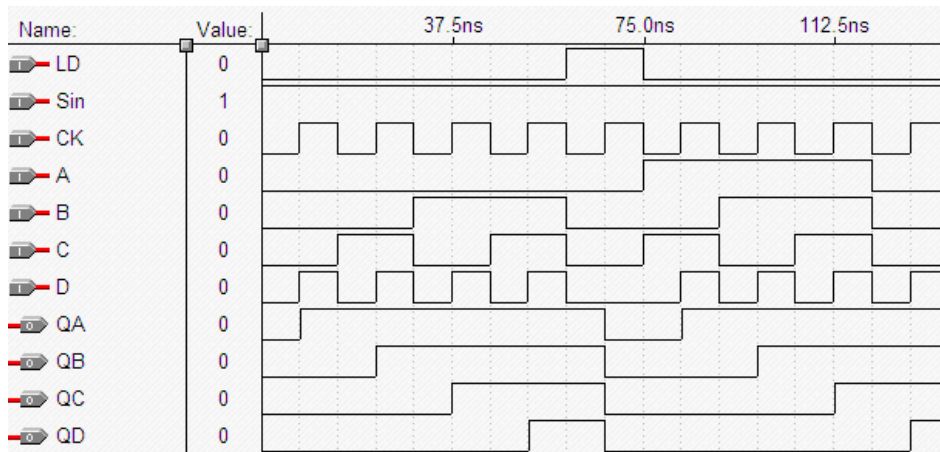
PROCESS (CK)

```

BEGIN
    WAIT UNTIL CK='1' AND CK'EVENT;
    IF LD='1' THEN QA<=A; QB<=B; QC<=C; QD<=D;
        ELSE QA<=Sin; QB<=QA; QC<=QB; QD<=QC;
    END IF;
END PROCESS;
END model;

```

Αποτέλεσμα προσομοίωσης 1^{ου} και 2^{ου} τρόπου.



2^{ος} Τρόπος

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY shiftregister_universaln IS
    GENERIC (N :INTEGER :=4);
    PORT (Sin, CK, LD :IN STD_LOGIC;
        D      :IN STD_LOGIC_VECTOR(N-1 DOWNTO 0);
        Q      :BUFFER STD_LOGIC_VECTOR(N-1 DOWNTO 0));
END shiftregister_universaln;

ARCHITECTURE model OF shiftregister_universaln IS
BEGIN
    PROCESS (CK)
    BEGIN
        WAIT UNTIL CK='1' AND CK'EVENT;
        IF LD='1' THEN Q<=D;
        ELSE

```

```

GENBITS: FOR i IN 0 TO N-2 LOOP
Q(i)<=Q(I+1);
END LOOP;
Q(N-1)<=Sin;
END IF;
END PROCESS;
END model;

```

Ο δεύτερος τρόπος σύνταξης του προγράμματος δίνει το ίδιο ακριβώς αποτέλεσμα πλεονεκτεί απ' τον πρώτο στο ότι είναι γενικός και αναφέρεται σ' έναν καταχωρητή οποιασδήποτε χωρητικότητας. Η μόνη αλλαγή που πρέπει να γίνει στο κύκλωμα προκειμένου να αλλάξει η χωρητικότητα του καταχωρητή αφορά στην εντολή:

GENERIC (N :INTEGER :=4);

απ' την οποία καθορίζεται και η χωρητικότητα του καταχωρητή. Στην προκειμένη περίπτωση το πρόγραμμα αφορά σε καταχωρητή 4 ψηφίων. Αν όμως αλλάξει η εντολή σε:

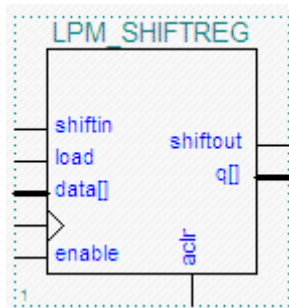
GENERIC (N :INTEGER :=8);

θα αφορά σε καταχωρητή 8 ψηφίων κ.ο.κ.

Η ανάλυση των αποτελεσμάτων προσομοίωσης δείχνει ότι για όσο η είσοδος *LD* είναι απενεργοποιημένη (λογικό "0"), ο καταχωρητής φορτώνει, μετά από τέσσερις παλμούς χρονισμού, απ' την σειριακή είσοδο τον αριθμό 1111_2 . Όταν η είσοδος *LD* ενεργοποιηθεί (λογικό "1"), ο καταχωρητής φορτώνει απ' την παράλληλη είσοδο το 0000_2 . Στη συνέχεια απενεργοποιείται και πάλι η είσοδος *LD* και μετά από τέσσερις παλμούς χρονισμού ο καταχωρητής ξαναφορτώνει απ' τη σειριακή είσοδο το 1111_2 .

Ένας άλλος τρόπος να σχεδιαστούν καταχωρητές ολίσθησης οποιουδήποτε μήκους είναι με τη χρήση των παραμετροποιημένων σπονδύλων που βρίσκονται στη βιβλιοθήκη LPM της ALTERA.

Ο καταχωρητής ολίσθησης LPM, που φαίνεται σε διάγραμμα βαθμίδας στο σχήμα 7.49, έχει εισόδους ελέγχου και εξόδους που επιτρέπουν τη σχεδίαση καταχωρητών οι οποίοι θα μετρούν σε όποια MOD απαιτείται, προς τα άνω ή προς τα κάτω, θα διαθέτουν δυνατότητα σύγχρονης παράλληλης φόρτωσης, ασύγχρονου καθαρισμού και σύγχρονης διασύνδεσης με άλλους μετρητές.



Σχήμα 7.49 LPM καταχωρητής ολίσθησης.

3^{ος} Τρόπος

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
LIBRARY LPM;
USE LPM.LPM_COMPONENTS.ALL;

ENTITY shiftregister_universallpm IS
    PORT (Sin, CK, CL, LD_SH, EN :IN STD_LOGIC;
          D                      :IN STD_LOGIC_VECTOR (3 DOWNTO 0);
          Sout                   :OUT STD_LOGIC);
END shiftregister_universallpm;

ARCHITECTURE model OF shiftregister_universallpm IS
BEGIN
    SHIFTRREG :LPM_SHIFTREG
        GENERIC MAP (LPM_WIDTH=>4)
        PORT MAP (CLOCK=>CK, LOAD=>LD_SH, ACLR=>CL, ENABLE=>EN,
                  DATA=>D, SHIFTRIN=>Sin, SHIFTROUT=>Sout);
END model;

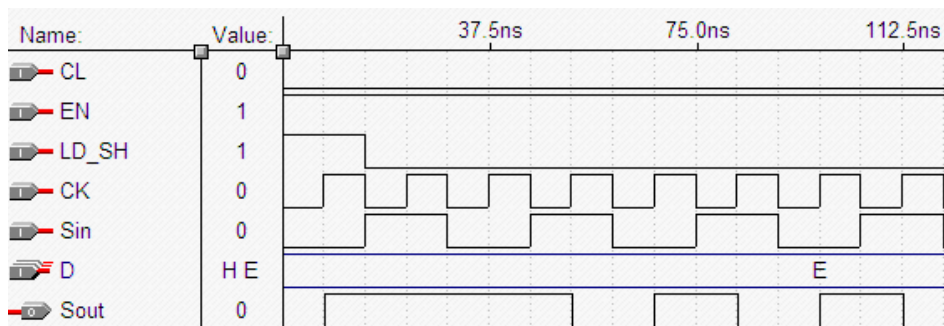
```

Για καταχωρητές άλλων χωρητικοτήτων, όπως για παράδειγμα 8 ψηφίων, πρέπει να γίνουν οι παρακάτω αλλαγές στο πρόγραμμα.

```

D :IN STD_LOGIC_VECTOR (7 DOWNTO 0);
καθώς και
GENERIC MAP (LPM_WIDTH=>8)

```

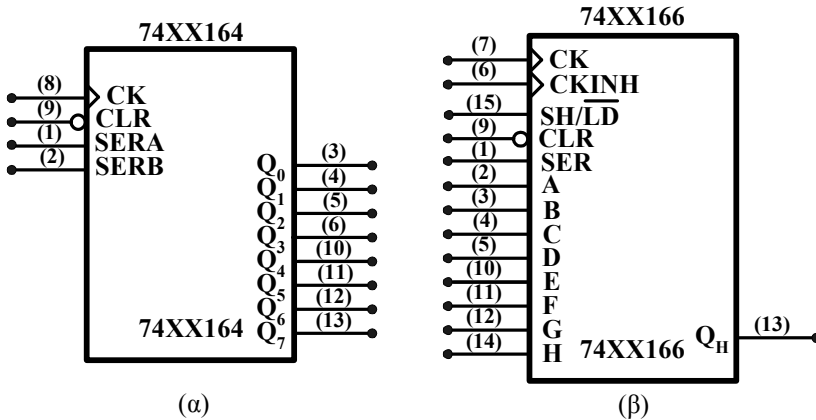
Αποτελέσματα προσομοίωσης.

Απ' τα αποτελέσματα προσομοίωσης φαίνεται ότι ο καταχωρητής φορτώνει αρχικά ($LD_SH=1$) απ' την παράλληλη είσοδο το δεκαεξαδικό αριθμό E (1110_2) τον οποίο βγάζει πρώτο απ' τη σειριακή έξοδο και στη συνέχεια βγάζει απ' τη σειριακή έξοδο ότι εισάγει

απ' τη σειριακή είσοδο.

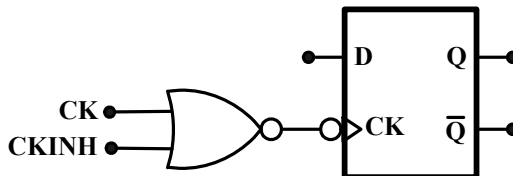
Οι καταχωρητές κυκλοφορούν σε μορφή ολοκληρωμένων κυκλωμάτων μεσαίας βαθμίδας ολοκλήρωσης. Ως παραδείγματα τέτοιων ολοκληρωμένων κυκλωμάτων θα μπορούσαν να αναφερθούν οι καταχωρητές ολίσθησης τα 74XX164, 74XX166, 74XX194, 74XX299 και οι καταχωρητές 74XX374, 74XX377.

Το ολοκληρωμένο 74XX164 που φαίνεται στο σχήμα 7.50α είναι ένας καταχωρητής ολίσθησης οκτώ ψηφίων με σειριακή είσοδο, παράλληλη έξοδο και ασύγχρονη είσοδο καθαρισμού. Οι εισόδους *SERA* και *SERB* συνδέονται εσωτερικά διαμέσου μιας πύλης AND. Επομένως, προκειμένου να τροφοδοτηθεί ένα "1" στην είσοδο του καταχωρητή, πρέπει και οι δύο να είναι ενεργές (λογικό "1").



Σχήμα 7.50 α. Καταχωρητής ολίσθησης οκτώ ψηφίων με σειριακή είσοδο, παράλληλη έξοδο και ασύγχρονη είσοδο καθαρισμού, β. Καταχωρητής οκτώ ψηφίων με παράλληλη είσοδο και σειριακή έξοδο.

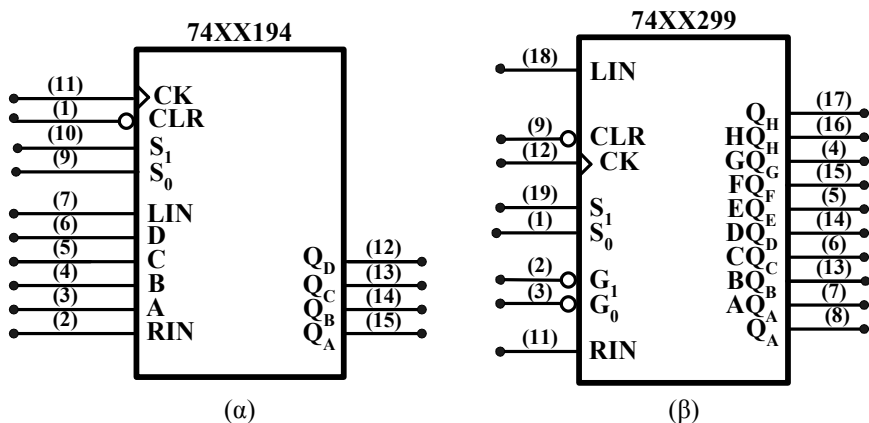
Το ολοκληρωμένο 74XX166 που φαίνεται στο σχήμα 7.50β είναι ένας καταχωρητής οκτώ ψηφίων με παράλληλη είσοδο, σειριακή έξοδο και ασύγχρονη είσοδο καθαρισμού. Στην είσοδο *CLK* συνδέεται το ρολόι. Η είσοδος *CLKINH* (*CLocK INHibit* ή *απαγόρευση ρολογιού*) επιτρέπει ή απαγορεύει την εφαρμογή του ρολογιού. Όταν η είσοδος αυτή είναι ανενεργή (λογικό "0"), ο καταχωρητής λειτουργεί κανονικά. Όταν είναι ενεργή, απαγορεύει την εφαρμογή του ρολογιού και ο καταχωρητής σταματά τη λειτουργία του, ανεξάρτητα απ' το αν έρχονται ή όχι παλμοί ρολογιού. Η λογική που διέπει τις εισόδους *CLK* και *CLKINH* φαίνεται στο σχήμα 7.51.



Σχήμα 7.51 Η λογική που διέπει τις εισόδους *CLK* και *CLKINH*.

Όταν η είσοδος $SH / \overline{LD}$ ($SHift/Load$) είναι σε λογικό "1", ο καταχωρητής με τον επόμενο παλμό ρολογιού ολισθαίνει τα περιεχόμενά του. Όταν η είσοδος αυτή είναι σε λογικό "0", ο καταχωρητής με τον επόμενο παλμό ρολογιού φορτώνεται με την πληροφορία που υπάρχει στις παράλληλες εισόδους του.

Στο σχήμα 7.52 φαίνονται οι καταχωρητές 74XX194 και 74XX299. Ο 74XX194 είναι ένας καταχωρητής τεσσάρων ψηφίων, δύο κατευθύνσεων με παράλληλη είσοδο. Οι καταστάσεις των εισόδων S_1, S_0 καθορίζουν τη λειτουργία τον καταχωρητή σύμφωνα με τον πίνακα 7.18.



Σχήμα 7.52 α. Καταχωρητής τεσσάρων ψηφίων, δύο κατευθύνσεων με παράλληλη είσοδο, β. Γενικός καταχωρητής ολίσθησης/αποθήκευσης.

Πίνακας 7.18

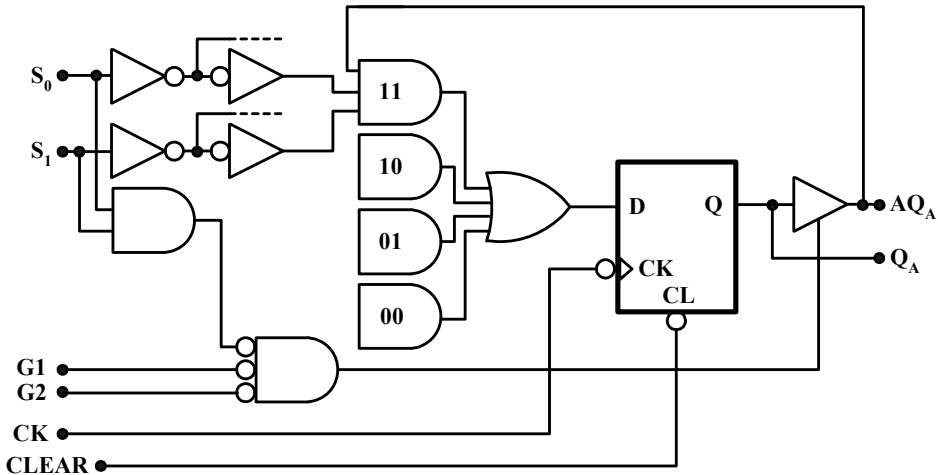
	Είσοδοι		Επόμενη Κατάσταση			
Λειτουργία	S_1	S_0	Q_A^*	Q_B^*	Q_C^*	Q_D^*
Κράτημα	0	0	Q_A	Q_B	Q_C	Q_D
Δεξιά ολίσθηση	0	1	RIN	Q_A	Q_B	Q_C
Αριστερή ολίσθηση	1	0	Q_B	Q_C	Q_D	LIN
Φόρτωση	1	1	A	B	C	D

Ο 74XX299 είναι ένας γενικός καταχωρητής ολίσθησης/αποθήκευσης (universal shift/storage register) οκτώ ψηφίων που χρησιμοποιεί γραμμές εισόδου/εξόδου δύο κατευθύνσεων και τριών λογικών καταστάσεων.

Η λειτουργία του είναι παρόμοια με εκείνη του 74XX194, όσον αφορά στην ολίσθηση προς τα δεξιά ή προς τα αριστερά. Κατά την αριστερή ολίσθηση η πληροφορία ολισθαίνει απ' το Q_H προς το Q_A . Κατά τη δεξιά ολίσθηση η πληροφορία ολισθαίνει απ' το Q_A προς το Q_H . Κατά τη λειτουργία φόρτωσης, όταν δηλαδή $S_1 S_0 = 11$ και οι είσοδοι ενεργοποίησης είναι ενεργές (λογικό "0"), οι οδηγοί τριών καταστάσεων απενεργοποιούνται οι γραμμές εισόδου/εξόδου λειτουργούν ως είσοδοι και η πληροφορία φορτώνεται στον καταχωρητή διαμέσου των AQ_A-HQ_H . Το άκρο αριστερό ψηφίο και το άκρο δεξιό ψηφίο είναι πάντα

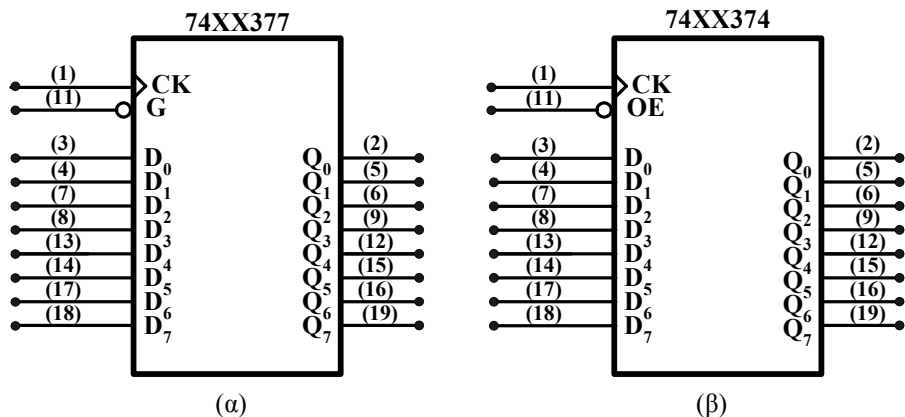
διαθέσιμα σε ξεχωριστές εξόδους Q_A και Q_H , αντίστοιχα. Στο σχήμα 7.53 φαίνεται η λογική μιας απ' τις οκτώ γραμμές εισόδου/εξόδου του καταχωρητή.

Στο σχήμα 7.54α φαίνεται σε διάγραμμα βαθμίδας το ολοκληρωμένο του καταχωρητή 74XX377 και στο σχήμα 7.54β το ολοκληρωμένο του καταχωρητή 74XX374. Ο καταχωρητής 74XX377 αποτελείται στην ουσία από οκτώ flip-flop (Μανταλωτές) με έξοδο τριών λογικών καταστάσεων και λειτουργεί ως βαθμίδα απομόνωσης. Μόνο όταν η είσοδος G ενεργοποιείται (λογικό "0"), πληροφορία μπορεί να γραφτεί (αποθηκευτεί) ή να διαβαστεί (ανακληθεί) απ' αυτό.

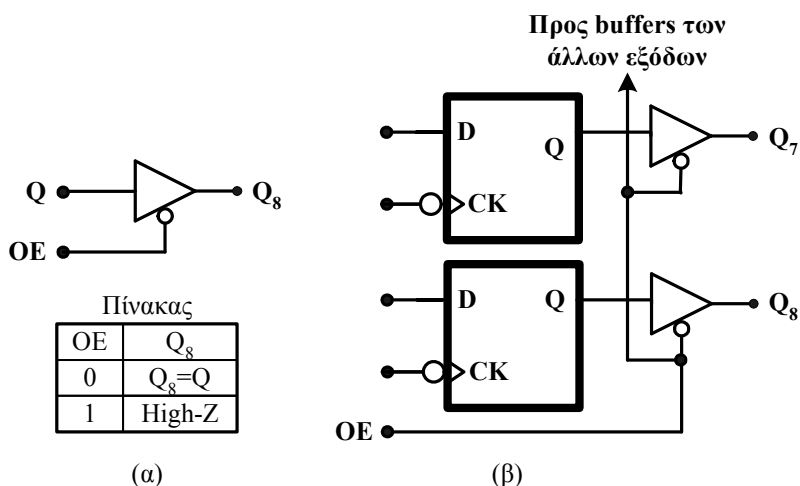


Σχήμα 7.53 Η λογική της γραμμής εισόδου/εξόδου του καταχωρητή 74XX299.

Ο καταχωρητής 74XX374 διαφέρει απ' τον προηγούμενο μόνο ως προς το γεγονός ότι οι εξοδοί του είναι **τριών λογικών καταστάσεων**. Μόνο όταν η είσοδος OE ενεργοποιείται (λογικό "0"), πληροφορία μπορεί να γραφτεί (αποθηκευτεί) ή να διαβαστεί (ανακληθεί) απ' αυτό, διαφορετικά οι εξοδοί είναι σε κατάσταση υψηλής σύνθετης αντίστασης (High-Z). Η εσωτερική δομή ενός καταχωρητή που έχει εξόδους τριών λογικών καταστάσεων φαίνεται στο σχήμα 7.55β. Στο σχήμα 7.55α φαίνεται η λογική της **βαθμίδας απομόνωσης**, που τοποθετείται στις εξόδους του καταχωρητή, και από κάτω ο πίνακας αληθείας της. Απ' τον πίνακα αληθείας προκύπτει ότι όταν η γραμμή ενεργοποίησης OE είναι ενεργοποιημένη (λογικό "0"), το κύκλωμα συμπεριφέρεται ως ένας κλειστός διακόπτης και επομένως η γραμμή εξόδου είναι ότι και η είσοδος. Όταν η είσοδος ενεργοποίησης OE είναι απενεργοποιημένη (λογικό "1"), το κύκλωμα συμπεριφέρεται ως ένας ανοιχτός διακόπτης και επομένως η γραμμή εξόδου είναι στον αέρα (αποσυνδεδεμένη). Τότε, λέγεται ότι η εξόδος είναι σε κατάσταση υψηλής σύνθετης αντίστασης ή υψηλού-Z.



Σχήμα 7.54 Διάγραμμα βαθμίδας του καταχωρητή α. 74XX374 και β. 74XX377.



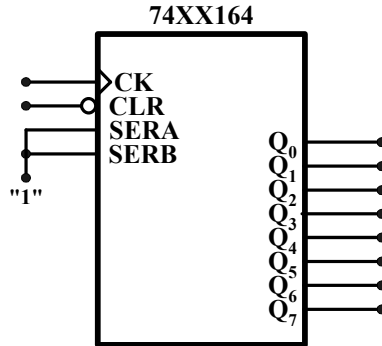
Σχήμα 7.55 Μορφή εξόδων των καταχωρητών με έξοδο τριών λογικών καταστάσεων.

Οι καταχωρητές έχουν πάρα πολλές εφαρμογές στα ψηφιακά συστήματα. Κυρίως, χρησιμοποιούνται ως μονάδες αποθήκευσης πληροφορίας μπορούν όμως να χρησιμοποιηθούν και σε άλλες εφαρμογές, όπως για παράδειγμα στα κυκλώματα χρονισμού.

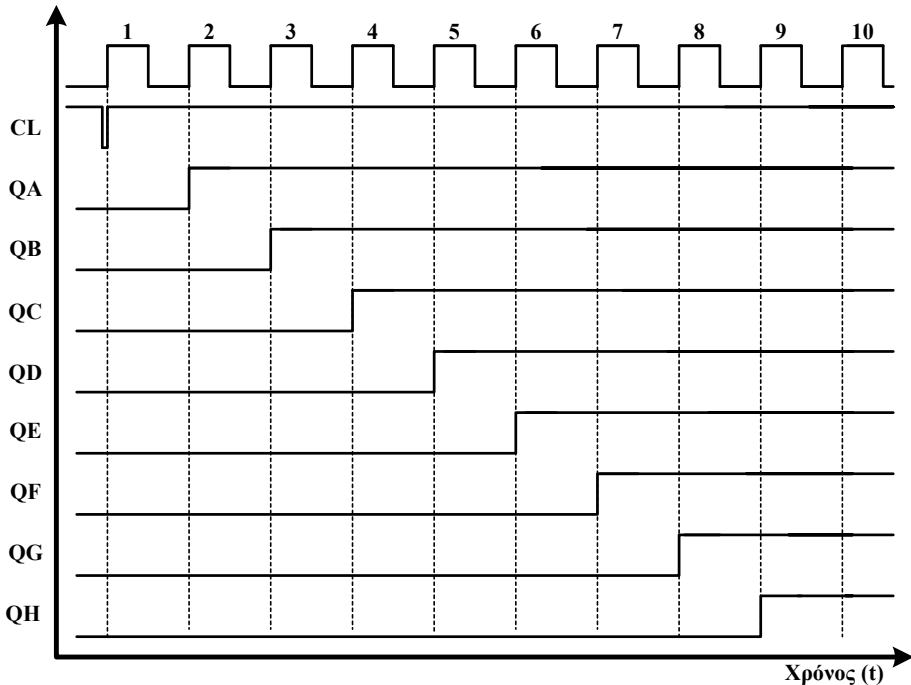
Στην περίπτωση αυτή ακολουθίες παλμών μπορούν να δημιουργηθούν και να ελεγχθούν με τη χρήση καταχωρητών. Ο πιο απλός τρόπος για να γίνει αυτό με τη χρήση ενός καταχωρητή 74XX164 φαίνεται στο σχήμα 7.56.

Αρχικά, ο καταχωρητής καθαρίζεται με έναν παλμό "0" στην είσοδο CL . Στη συνέχεια, εισάγονται στην είσοδο του καταχωρητή μια σειρά από "1" με την τροφοδότηση παλμών χρονισμού στην είσοδο CK . Αυτό θα έχει ως συνέπεια η έξοδος Q_A του πρώτου flip-flop να πάει σε λογικό "1" στον επόμενο παλμό χρονισμού, η έξοδος Q_B του flip-flop B να πάει σε λογικό "1" στον αμέσως επόμενο παλμό χρονισμού κ.ο.κ., όπως

φαίνεται στο διάγραμμα χρονισμού του σχήματος 7.57.



Σχήμα 7.56 Διάγραμμα βαθμίδας του καταχωρητή ολίσθησης 74XX164 με τη σειριακή είσοδο συνδεδεμένη σε λογικό "1".



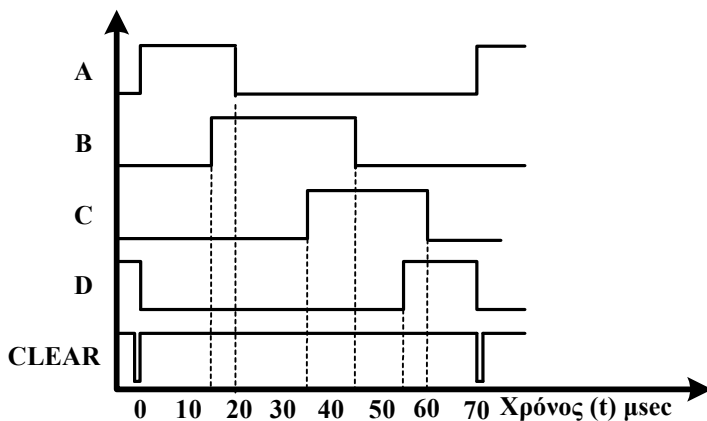
Σχήμα 7.57 Διάγραμμα χρονισμού του καταχωρητή ολίσθησης 74XX164 του σχήματος 7.56.

Μια τροποποίηση αυτού του κυκλώματος μπορεί να χρησιμοποιηθεί για να παράγει χρονικές ακολουθίες, όπως φαίνεται στο παράδειγμα 7.13. Η βασική ιδέα έγκειται στο να ολισθαίνουν "1" στον καταχωρητή έως ότου συμπληρωθεί η ακολουθία χρονισμού. Στη συνέχεια, οι παλμοί προκαλούν το καθάρισμα του καταχωρητή. Οι πύλες EXOR

χρησιμοποιούνται για να επιλέξουν τους απαιτούμενους παλμούς χρονισμού.

ΠΑΡΑΔΕΙΓΜΑ 7.13

Να σχεδιαστεί ένα κύκλωμα που θα παράγει μια σειρά τεσσάρων παλμών που θα επαναλαμβάνεται κάθε 70μsec. Οι παλμοί πρέπει να είναι σε λογικό "1" κατά τη διάρκεια των παρακάτω χρόνων: A=0-20μsec, B=15-45μsec, C=35-60μsec και D=55-70μsec, όπως φαίνεται στο διάγραμμα του σχήματος 7.58.



Σχήμα 7.58 Απαιτούμενο διάγραμμα χρονισμού.

Διαδικασία σχεδίασης

Μια προσεκτική ματιά στο διάγραμμα των απαιτούμενων παλμών δείχνει ότι η απαιτούμενη μικρότερη διάρκεια παλμού είναι 5μsec. Επομένως, η συχνότητα του ρολογιού που οδηγεί τον καταχωρητή, πρέπει να είναι $f=200\text{kHz}$ προκειμένου να ολισθαίνει τα "1" κάθε 5μsec.

$$f=1/T \text{ ή } f=1/(5 \times 10^{-6})=2 \times 10^5 \text{ Hz}=200\text{kHz}$$

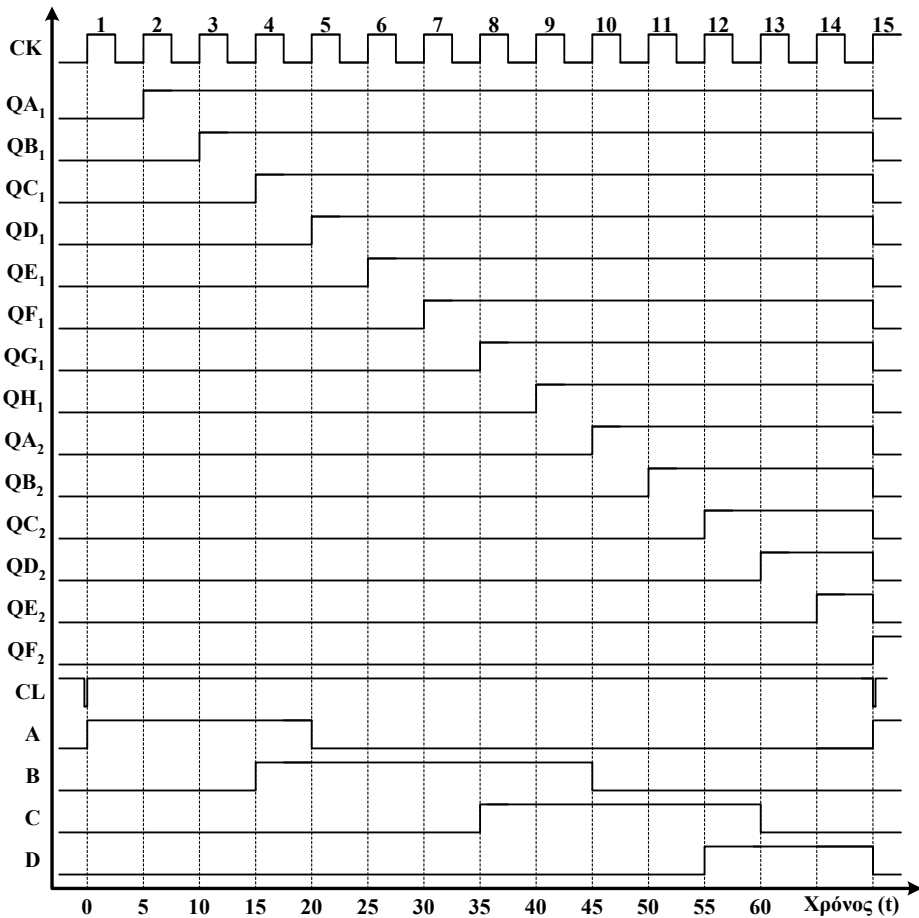
Οι σειριακές εισοδοί είναι σταθερά συνδεδεμένες σε λογικό "1" έτσι ώστε τα "1" να ολισθαίνουν στον καταχωρητή έως ότου καθαριστεί.

Επειδή ο συνολικός χρόνος κύκλου είναι 70μsec, ο αριθμός των απαιτούμενων εξόδων θα δίνεται απ' τη σχέση:

$$N=70\mu\text{sec}/5\mu\text{sec}=14$$

Επομένως, χρειάζονται δύο καταχωρητές 74XX164 συνδεδεμένοι έτσι ώστε να σχηματίσουν έναν καταχωρητή 16 ψηφίων. Αυτό επιτυγχάνεται με το να συνδεθούν οι σειριακές εισοδοί SERA και SERB του δεύτερου καταχωρητή μεταξύ τους και με την περισσότερη σημαντική έξοδο Q_H του πρώτου καταχωρητή.

Υποθέτοντας ότι ο καταχωρητής καθαρίζεται σε χρόνο $t=0$, όπως φαίνεται στο διάγραμμα χρονισμού του σχήματος 7.59, τότε η έξοδος Q_{A1} θα πάει σε λογικό "1" μετά από 5μsec, η έξοδος Q_{B1} μετά από 10μsec κ.ο.κ., και η έξοδος Q_{F2} θα πάει σε λογικό "1" μετά από 70μsec. Αυτή η έξοδος αντιστρέφεται και καθαρίζει τους καταχωρητές προκαλώντας έτσι κύκλο 70μsec. Στην έξοδο Q_{F2} παρουσιάζεται μία αιχμή που είναι σε λογικό "1" έως ότου καθαριστούν οι καταχωρητές. Η αιχμή αυτή θα καθαρίσει και την έξοδο Q_{F2} και θα απομακρύνει τον παλμό καθαρισμού.



Σχήμα 7.59 Διάγραμμα χρονισμού δύο καταχωρητών και απαιτούμενοι παλμοί

Η έξοδος A μπορεί να παρθεί απλώς αντιστρέφοντας την έξοδο Q_{D1} . Έτσι, η έξοδος Q_{D1} θα γίνεται "0", όταν ο καταχωρητής θα καθαρίζεται και θα γίνεται "1" μετά από 20μsec.

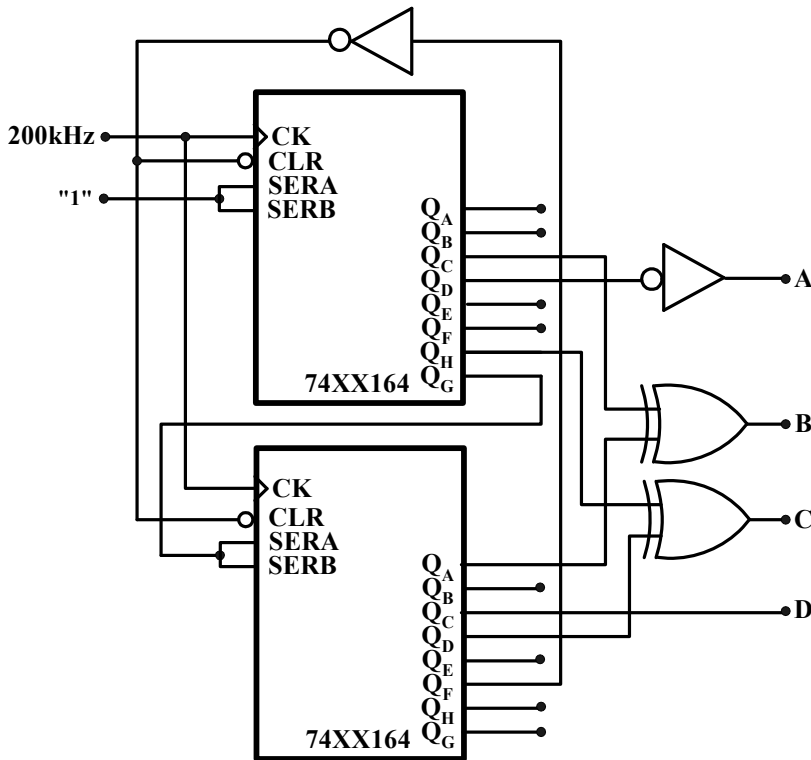
Η έξοδος D μπορεί να παρθεί απευθείας απ' την έξοδο Q_{C2} , που γίνεται "1" στα 55μsec και γίνεται "0" στα 75μsec.

Η έξοδος B μπορεί να παρθεί με τη χρήση μιας πύλης EXOR στις εισόδους της ο-

ποίας οδηγούνται οι έξοδοι Q_{C1} και Q_{A2} . Στην περίπτωση αυτή από $t=0\mu sec$ ως $t=15\mu sec$ και οι δύο είσοδοι της πύλης EXOR θα είναι σε λογικό "0" και επομένως η έξοδος θα είναι σε λογικό "0". Από $t=15\mu sec$ ως $t=45\mu sec$ η μία είσοδος Q_{C1} θα πάει στο "1", ενώ η άλλη είσοδος Q_{A2} θα είναι στο "0". Επομένως, η έξοδος της πύλης θα είναι στο "1". Απ' τη χρονική στιγμή $t=45\mu sec$ ως $t=70\mu sec$ και οι δύο είσοδοι της πύλης EXOR θα είναι σε λογικό "1" και επομένως η έξοδος θα είναι σε λογικό "0".

Η έξοδος C μπορεί να παρθεί με τη χρήση μιας πύλης EXOR στις εισόδους της οποίας οδηγούνται οι έξοδοι Q_{G1} και Q_{D2} με βάση τη λογική που χρησιμοποιήθηκε στην προηγούμενη περίπτωση.

Με βάση τα παραπάνω κατασκευάζεται το κύκλωμα του σχήματος 7.60, που είναι το απαιτούμενο κύκλωμα.



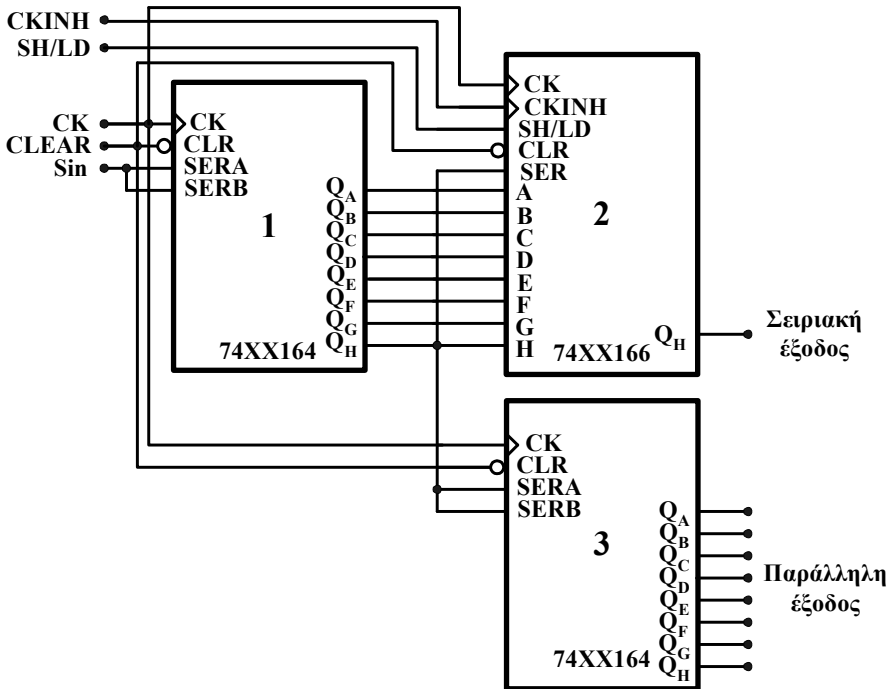
Σχήμα 7.60 Κύκλωμα παραγωγής παλμών χρονισμού με τη χρήση καταχωρητών.

ΠΑΡΑΔΕΙΓΜΑ 7.14

Να σχεδιαστεί ένα σύστημα καταχωρητών που θα μεταφέρει σειριακά μετά από οκτώ παλμούς χρονισμού την ψηφιολέξη 10010011_2 σ' ένα απ' τους καταχωρητές. Στη συνέχεια μετά από άλλους οκτώ παλμούς χρονισμού θα τη μεταφέρει στους άλλους δύο καταχωρητές ενώ ταυτόχρονα στον πρώτο καταχωρητή θα φορτώνεται η νέα ψηφιολέξη 11010111_2 η οποία στον επόμενο παλμό χρονισμού θα φορτώνεται στον έναν απ' τους άλλους δύο καταχωρητές.

Εδώ, προφανώς χρειάζονται δύο καταχωρητές εισόδου σειράς, εξόδου παράλληλης και σειράς και ένας καταχωρητής εισόδου παράλληλης και σειράς.

Επιλέγονται δύο καταχωρητές 74XX164 εισόδου σειράς, εξόδου παράλληλης και σειράς δια της γραμμής εξόδου Q_H και ένας καταχωρητής 74XX166 εισόδου παράλληλης και σειράς και εξόδου σειράς που συνδέονται με τον τρόπο που φαίνεται στο κύκλωμα του σχήματος 7.61.



Σχήμα 7.61 Σύστημα καταχωρητών σειριακής και παράλληλης μεταφοράς.

Στο κύκλωμα αυτό, για όσο η είσοδος SH/LD του καταχωρητή 2 είναι σε λογικό "0" η παράλληλη είσοδος είναι απενεργοποιημένη, ενώ η σειριακή είσοδος είναι ενεργοποιημένη. Οι ψηφιολέξεις εφαρμόζονται στην είσοδο Sin . Πρώτα η πρώτη ψηφιολέξη και στη συνέχεια η δεύτερη. Οι πρώτοι οκτώ παλμοί χρονισμού θα φορτώσουν στον καταχωρητή 1 την πρώτη ψηφιολέξη 10010011_2 μεταφέροντας ταυτόχρονα διαμέσου της γραμμής εξόδου Q_H το προηγούμενο περιεχόμενο του καταχωρητή 1 στους καταχωρητές 2 και 3. Οι επόμενοι οκτώ παλμοί χρονισμού θα φορτώσουν στον καταχωρητή 1 τη δεύτερη ψηφιολέξη 11010111_2 μεταφέροντας ταυτόχρονα διαμέσου της γραμμής εξόδου Q_H την πρώτη ψηφιολέξη στους καταχωρητές 2 και 3. Ο επόμενος παλμός χρονισμού θα μεταφέρει τη δεύτερη ψηφιολέξη στον καταχωρητή 2 διαμέσου των παράλληλων εισόδων του αρκεί παλμός αυτός να βρει την είσοδο ελέγχου SH/LD σε λογικό "1".

7.3 ΚΑΤΑΧΩΡΗΤΕΣ ΟΛΙΣΘΗΣΗΣ ΜΕΤΡΗΤΕΣ

7.3.1 Κυκλικοί μετρητές (Ring Counters)

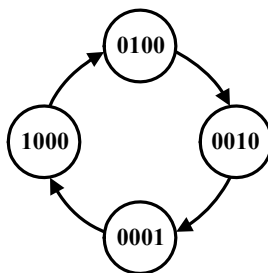
Ο κυκλικός μετρητής είναι ένας ανακυκλούμενος καταχωρητής ολίσθησης, του οποίου το ένα flip-flop έχει έξοδο "1" και όλα τα άλλα flip-flop έχουν έξοδο "0". Η έξοδος "1" δι-αδίδεται διαμέσου του καταχωρητή ολίσθησης μεταβαίνοντας απ' το προηγούμενο flip-flop στο επόμενο με κάθε παλμό χρονισμού και μετά το τελευταίο flip-flop επανεισάγεται στο πρώτο flip-flop του καταχωρητή.

Με βάση την περιγραφή του κυκλικού μετρητή μπορεί να συνταχθεί ο πίνακας αλη-θείας 7.19 του μετρητή τεσσάρων ψηφίων.

Πίνακας 7.19

CK	Q _A	Q _B	Q _C	Q _D
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	1	0	0	0
.	.	.	.	.

Απ' τον πίνακα αληθείας προκύπτει το διάγραμμα καταστάσεων, που φαίνεται στο σχήμα 7.62.



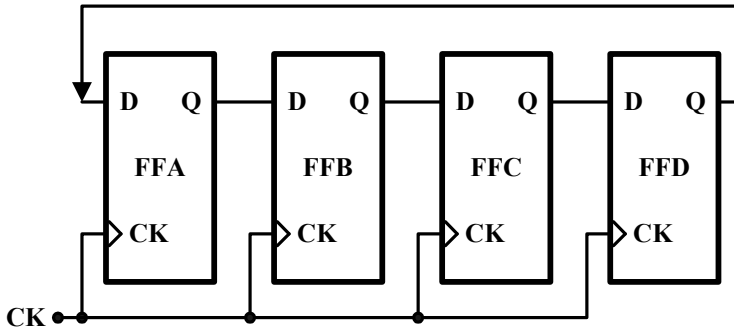
Σχήμα 7.62 Διάγραμμα καταστάσεων ενός κυκλικού μετρητή τεσσάρων ψηφίων.

Με βάση τα παραπάνω κατασκευάζεται το κύκλωμα του μετρητή, που φαίνεται στο σχήμα 7.63. Στο σχήμα 7.64 φαίνεται το διάγραμμα χρονισμού του μετρητή.

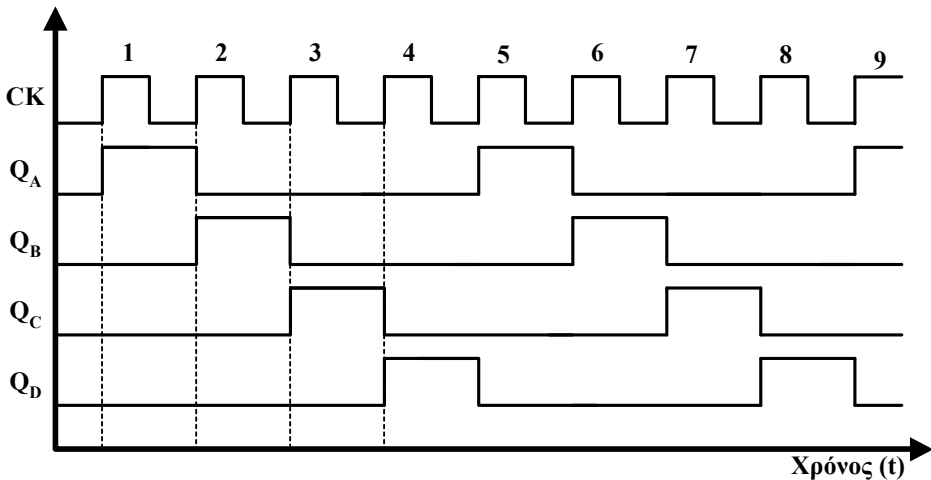
Οι κυκλικοί μετρητές μειονεκτούν σε σχέση με τους άλλους μετρητές στο ότι χρει-άζονται πολύ περισσότερα flip-flop για να μετρήσουν τον ίδιο αριθμό καταστάσεων, πλεονεκτούν όμως στο ότι δεν χρειάζονται επιπλέον πύλες αποκωδικοποίησης των ε-ξόδων τους, καθώς οι έξοδοί τους είναι αυτόματα αποκωδικοποιημένες και κυρίως δεν παρουσιάζουν το πρόβλημα των αιχμών που ενυπάρχει στις αποκωδικοποιημένες εξό-

δους των άλλων μετρητών.

Για να λειτουργήσει σωστά ένας κυκλικός μετρητής πρέπει να λαμβάνεται πρόνοια να αρχίζει απ' τη σωστή κατάσταση. Αυτό σημαίνει ότι η έξοδος ενός μόνο flip-flop πρέπει να πάει σε λογικό "1" και όλες οι άλλες σε λογικό "0". Επειδή όμως, με το που τροφοδοτείται ο μετρητής με τάση, οι έξοδοι των flip-flop τοποθετούνται τυχαία, πρέπει να σχεδιαστεί ένα κύκλωμα που θα εξασφαλίζει τη σωστή κατάσταση εκκίνησης του μετρητή.



Σχήμα 7.63 Λογικό κύκλωμα ενός κυκλικού μετρητή τεσσάρων ψηφίων.



Σχήμα 7.64 Διάγραμμα χρονισμού ενός κυκλικού μετρητή τεσσάρων ψηφίων.

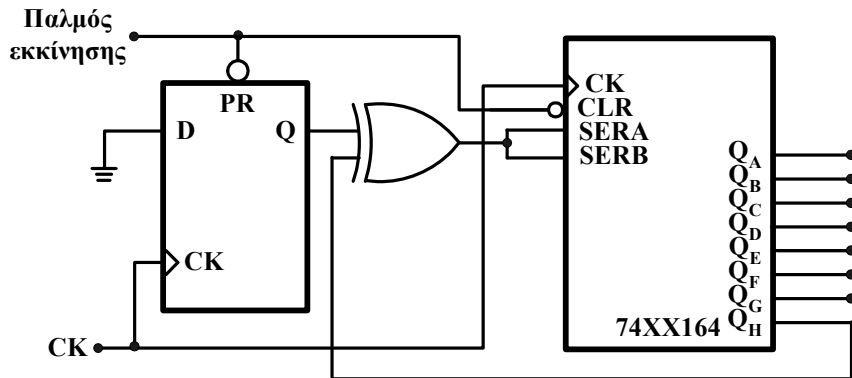
ΠΑΡΑΔΕΙΓΜΑ 7.15

Να σχεδιαστεί το κύκλωμα που θα τοποθετεί στην αρχική κατάσταση έναν κυκλικό μετρητή οκτώ ψηφίων, που χρησιμοποιεί το ολοκληρωμένο κύκλωμα 74XX164, όταν εφαρμοστεί ένα παλμός "0" σε μία γραμμή εκκίνησης του μετρητή.

Διαδικασία σχεδίασης

Στην προκειμένη περίπτωση το κύκλωμα πρέπει να καθαρίζει τον καταχωρητή, στη συνέχεια να τοποθετεί το "1" στο πρώτο flip-flop και να το ανακυκλώνει.

Μία λύση στο πρόβλημα φαίνεται στο κύκλωμα του σχήματος 7.65. Εδώ, ένας παλμός εκκίνησης "0" μικρής διάρκειας στην είσοδο *CLR* θα καθαρίσει τον καταχωρητή και θα προτοποθετήσει στο "1" την έξοδο του flip-flop D. Όταν ο παλμός εκκίνησης θα πάει στο "1", ο επόμενος παλμός χρονισμού θα καθαρίσει το flip-flop και θα ολισθήσει το "1" στο Q_A του καταχωρητή. Αυτό το "1" θα ανακυκλώνεται συνεχώς μέσα στον καταχωρητή ολισθάνοντας απ' το προηγούμενο flip-flop στο επόμενο με κάθε παλμό χρονισμού.



Σχήμα 7.65 Κύκλωμα τοποθέτησης στην αρχική κατάσταση ενός κυκλικού μετρητή.

Σχεδίαση με CAD

Εισαγωγή σχεδίασης διαμέσου κώδικα VHDL

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY ringcounter_4 IS
    PORT (CK :IN STD_LOGIC;
          Qout :OUT STD_LOGIC_VECTOR (3 DOWNTO 0));
END ringcounter_4;

ARCHITECTURE model OF ringcounter_4 IS
    BEGIN
        PROCESS (CK)
            VARIABLE FF :STD_LOGIC_VECTOR (3 DOWNTO 0);
            VARIABLE Sin :STD_LOGIC;
            BEGIN

```

```

IF (CK='1' AND CK'EVENT) THEN
  IF (FF (3 DOWNT0 1)="000") THEN Sin :='1';
  ELSE Sin :='0';
  END IF;
  FF (3 DOWNT0 0) :=(Sin & FF (3 DOWNT0 1));
END IF;
Qout<=FF;
END PROCESS;
END model;

```

Οι εντολές

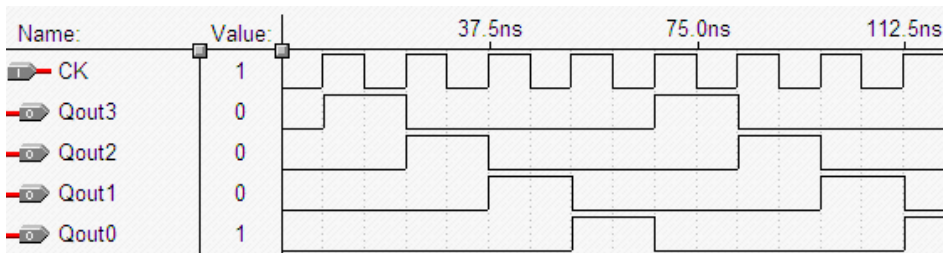
```

IF (FF (3 DOWNT0 1)="000") THEN Sin :='1';
ELSE Sin :='0';

```

χρησιμοποιούνται για να εξασφαλίσουν ότι τελικά ο μετρητής θα έρθει στην πρόπυση κατάσταση με ένα "1" να περιστρέφεται γύρω-γύρω. Στην ουσία ελέγχουν τα τρία προηγούμενα ψηφία και αν ανιχνευτεί ότι αυτά είναι 000_2 , τότε με την επόμενη εντολή εισάγουν στο περισσότερο σημαντικό ψηφίο το "1". Αν τα ψηφία αυτά δεν είναι 000_2 , τότε εισάγουν το "0". Έτσι, ανεξάρτητα απ' την κατάσταση απ' την οποία ξεκίνησε ο μετρητής, θα έρθει στην επιθυμητή κατάσταση. Αυτή, δηλαδή, η διαδικασία κάνει στην ουσία αυτό που κάνει το κύκλωμα που σχεδιάστηκε στο παράδειγμα 7.17.

Αποτέλεσμα προσομοίωσης.



7.3.2 ΜΕΤΡΗΤΗΣ JOHNSON

Ο μετρητής αυτός που έχει την ιδιότητα να μετρά μέχρι τον αριθμό $2n$ όπου n είναι ο αριθμός των flip-flop απ' τα οποία αποτελείται φαίνεται στο σχήμα 7.66. Στο σχήμα 7.67 φαίνεται το διάγραμμα χρονισμού του μετρητή.

Η λειτουργία του μετρητή αυτού φαίνεται απ' τον πίνακα αληθείας του 7.18 και εξηγείται παρακάτω:

Αρχικά, θα πρέπει να διευκρινιστεί ότι όλα τα flip-flop αλλάζουν κατάσταση με την έξοδο (αρνητικό μέτωπο) του παλμού χρονισμού.

Υποτίθεται ότι ο μετρητής αρχίζει απ' την κατάσταση 000_2 . Δηλαδή, $A=B=C=0$. Συνεπώς επάγεται επομένως $C=1$ και $J_A=1$.

Η έξοδος του πρώτου παλμού χρονισμού θα βρει: $J_A=C=1$ και $K_A=0$, $J_B=A=0$ και $K_B=1$, $J_C=B=0$ και $K_C=1$ και θα δώσει $A=1$, $B=0$ και $C=0$. Δηλαδή, ο μετρητής θα μετρά τον αριθμό 100_2 .

Η έξοδος του δεύτερου παλμού χρονισμού θα βρει: $J_A=C=1$ και $K_A=0$, $J_B=A=1$ και $K_B=0$, $J_C=B=0$ και $K_C=1$ και θα δώσει $A=1$, $B=1$ και $C=0$. Δηλαδή, ο μετρητής θα μετρά τον αριθμό 110_2 .

Η έξοδος του τρίτου παλμού χρονισμού θα βρει: $J_A=C=1$ και $K_A=0$, $J_B=A=1$ και $K_B=0$, $J_C=B=1$ και $K_C=0$ και θα δώσει $A=1$, $B=1$ και $C=1$. Δηλαδή, ο μετρητής θα μετρά τον αριθμό 111_2 .

Η έξοδος του τέταρτου παλμού χρονισμού θα βρει: $J_A=C=0$ και $K_A=1$, $J_B=A=1$ και $K_B=0$, $J_C=B=1$ και $K_C=0$ και θα δώσει $A=0$, $B=1$ και $C=1$. Δηλαδή, ο μετρητής θα μετρά τον αριθμό 011_2 .

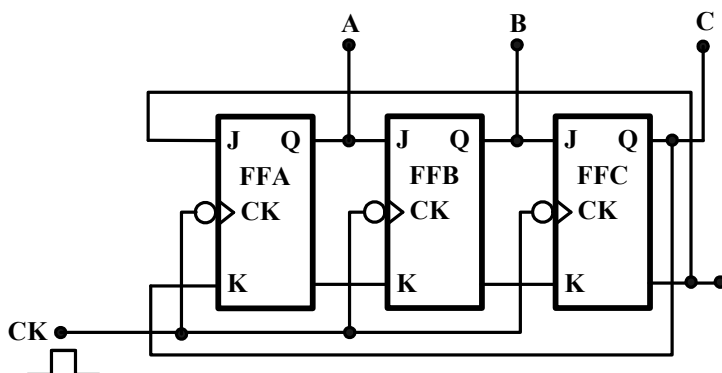
Η έξοδος του πέμπτου παλμού χρονισμού θα βρει: $J_A=C=0$ και $K_A=1$, $J_B=A=0$ και $K_B=1$, $J_C=B=1$ και $K_C=0$ και θα δώσει $A=0$, $B=0$ και $C=1$. Δηλαδή, ο μετρητής θα μετρά τον αριθμό 001_2 .

Η έξοδος του έκτου παλμού χρονισμού θα βρει: $J_A=C=0$ και $K_A=1$, $J_B=A=0$ και $K_B=1$, $J_C=B=0$ και $K_C=1$ και θα δώσει $A=0$, $B=0$ και $C=0$. Δηλαδή, ο μετρητής θα μετρά τον αριθμό 000_2 .

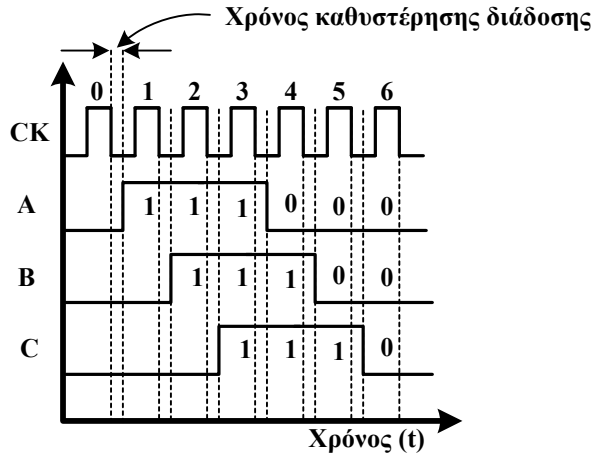
Παρατηρείται ότι τελικά μετά από έξι παλμούς ο μετρητής επανήλθε στην αρχική του κατάσταση.

Πίνακας 7.18

Δεκαδικός	Δυαδικός		
	C	B	A
0	0	0	0
1	0	0	1
2	0	1	1
3	1	1	1
4	1	1	0
5	1	0	0
6	0	0	0



Σχήμα 7.66. Μετρητής Johnson τριών βαθμίδων.



Σχήμα 7.67 Το διάγραμμα χρονισμού του μετρητή Johnson τριών βαθμίδων.

Αν υποθεθεί ότι ο μετρητής ξεκινά απ' την κατάσταση $ABC=101_2$, τότε ο πίνακας λειτουργίας θα είναι: 1ος παλμός 101_2 , 2ος παλμός 010_2 , 3ος παλμός 101_2 κ.ο.κ

Παρατηρείται ότι σ' αυτή την περίπτωση υπάρχουν μόνο δύο εναλλασσόμενες καταστάσεις. Έτσι, για να αρχίσει ο μετρητής από μια τυχαία κατάσταση και να μετρήσει μέχρι το έξι, με τον τρόπο που αναφέρθηκε παραπάνω, πρέπει να σχεδιαστεί ένα κύκλωμα, που θα ανιχνεύει το συνδυασμό 101_2 ή 010_2 και θα διορθώνει αυτό το μειονέκτημα.

ΠΑΡΑΔΕΙΓΜΑ 7.16

Να σχεδιαστεί ένα κύκλωμα που θα εντοπίζει το συνδυασμό εκκίνησης 101_2 ή 010_2 και θα διορθώνει την εκκίνηση του μετρητή Johnson.

Διαδικασία σχεδίασης

Ας υποθεθεί ότι πράγματι μπορεί να ανιχνευτεί ο συνδυασμός 101_2 . Για να σιγουρευτεί η σωστή ακολουθία των έξι βαθμίδων, πρέπει η επόμενη κατάσταση της εξόδου του FFA να είναι "1", πρέπει δηλαδή η έξοδος του FFA να μεταβεί από "1" σε "1". Αυτό για να γίνει πρέπει $K_A=0$ και $J_A=X$ (αδιάφορο). Πρέπει επομένως να σιγουρευτεί ότι $K_A=0$, όταν συμβεί ο συνδυασμός 101_2 .

Όταν συμβαίνει ο συνδυασμός 101_2 , οι έξοδοι Z του μετρητή θα είναι:

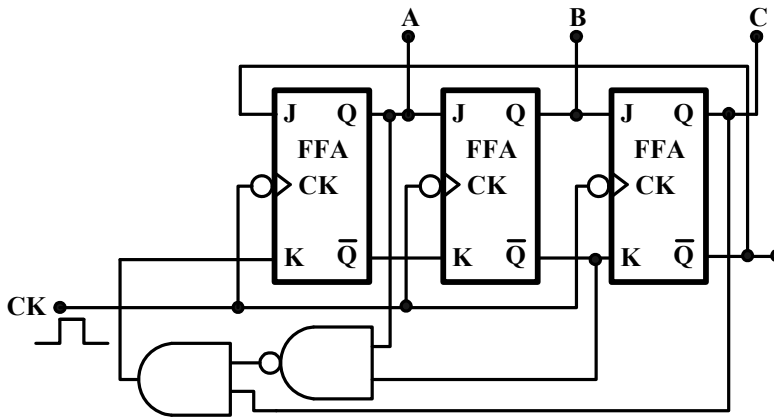
$$Z = A \cdot \overline{B} \cdot C = 1 \text{ και } \overline{Z} = A \cdot \overline{B} \cdot C = 0$$

Επομένως,

$$K_A = C (A \cdot \overline{B} \cdot C) = C (\overline{A} + B + \overline{C}) = \overline{A} \cdot C + B \cdot C = C (\overline{A} + B) = C (\overline{A \cdot B})$$

Οπότε, το πλήρες κύκλωμα είναι αυτό που φαίνεται στο σχήμα 7.68.

Οι μετρητές Johnson κυκλοφορούν σε μορφή ολοκληρωμένων κυκλωμάτων Τεχνολογίας CMOS με τους κωδικούς CD4017, CD4018 και CD4022, που είναι μετρητές 5, 5 και 4 βαθμίδων, αντίστοιχα.

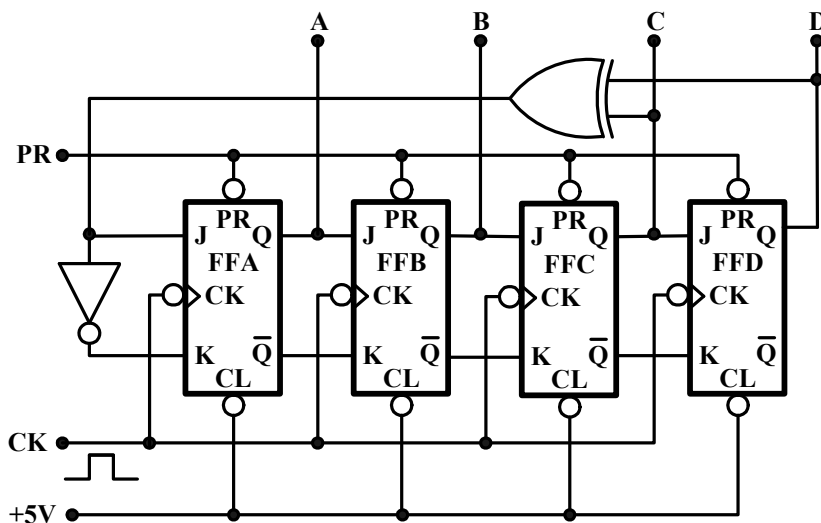


Σχήμα 7.68 Πλήρες κύκλωμα αναδιπλωμένου κυκλικού μετρητή.

7.3.4 ΓΕΝΝΗΤΡΙΑ ΨΕΥΔΟΥΧΑΙΩΝ ΠΑΛΜΩΝ ΜΕ ΤΗ ΧΡΗΣΗ ΚΑΤΑΧΩΡΗΤΩΝ

Η ψευδοτυχαία ακολουθία παλμών χρησιμοποιείται σε πολλές εφαρμογές. Για παράδειγμα, χρησιμοποιείται ως εξαιρετικά υψηλής ποιότητας ακουστικός θόρυβος και ως τυχαίος σχηματισμός για τον έλεγχο των λογικών κυκλωμάτων. Οι παλμοί στην προκειμένη περίπτωση είναι πραγματικά τυχαία ακολουθία που εύκολα μπορεί να επαναληφθεί. Μια ψευδοτυχαία ακολουθία παλμών μπορεί να δημιουργηθεί εύκολα με τη χρήση καταχωρητών και πυλών XOR ή EXNOR.

Ας υποθεθεί ότι ο καταχωρητής του σχήματος 7.69 και ότι οι έξοδοι C και D τροφοδοτούνται διαμέσου μιας πύλης EXOR στην είσοδο του καταχωρητή.



Σχήμα 7.69 Γεννήτρια ψευδοτυχαίων παλμών τεσσάρων βαθμίδων.

Πίνακας 7.19

Ακολουθίες S	D	C	B	A	F
S1	0	0	0	1	0
S2	0	0	1	0	0
S4	0	1	0	0	1
S9	1	0	0	1	1
S3	0	0	1	1	0
S6	0	1	1	0	1
S13	1	1	0	1	0
S10	1	0	1	0	1
S5	0	1	0	1	1
S11	1	0	1	1	1
S7	0	1	1	1	1
S15	1	1	1	1	0
S14	1	1	1	0	0
S12	1	1	0	0	0
S8	1	0	0	0	1

Προκειμένου να υπολογιστεί η ακολουθία παλμών υποτίθεται ότι οι είσοδοι $B=0$, $C=0$, $D=0$ και $A=1$, που θεωρείται η αρχική κατάσταση. Οπότε, η είσοδος του καταχωρητή θα είναι $J_A=C \oplus D=0 \oplus 0$ και μετά τον επόμενο παλμό η κατάσταση των flip-flop του καταχωρητή θα είναι: $D=0$, $C=0$, $B=1$, και $A=0$. Με βάση τη λογική αυτή η πλήρης σειρά των καταστάσεων της ακολουθίας φαίνεται στον πίνακα 7.19.

Στη στήλη F αναφέρεται η τιμή του σήματος που ανατροφοδοτείται στην είσοδο.

Παρατηρείται ότι υπάρχουν 15 διαφορετικές καταστάσεις, που επαναλαμβάνονται, και αυτές είναι όλες που μπορούν να δημιουργηθούν από έναν καταχωρητή τεσσάρων ψηφίων. Για την ακρίβεια, ο μέγιστος αριθμός διαφορετικών καταστάσεων της ακολουθίας που μπορεί να δημιουργηθεί είναι συνάρτηση των ψηφίων του καταχωρητή και δύνεται απ' τον τύπο,

$$N_S=2^n-1$$

όπου n είναι ο αριθμός των ψηφίων του καταχωρητή.

Έτσι, για έναν καταχωρητή 8 ψηφίων όλες οι δυνατές καταστάσεις θα είναι $N_S=2^8-1=255$, και αν υποθεθεί συχνότητα ρολογιού 1MHz η συχνότητα επανάληψης της ακολουθίας θα είναι 0.255msec, για έναν καταχωρητή 16 ψηφίων $N_S=2^{16}-1=65535$ και αν υποθεθεί συχνότητα ρολογιού 1MHz η συχνότητα επανάληψης της ακολουθίας θα είναι 65.5 msec, κ.ο.κ. Όταν ένας καταχωρητής είναι συνδεδεμένος με τέτοιο τρόπο ώστε να παίρνονται όλες οι δυνατές καταστάσεις, τότε λέγεται ότι η ακολουθία έχει μέγιστο μήκος και ονομάζεται ακολουθία μέγιστου μήκους (Maximum Length Sequence ή MLS). Παρατηρείται επίσης ότι η κατάσταση $B=0$, $C=0$, $D=0$ και $A=0$ δεν εμπεριέχεται στις ακολουθίες. Πράγματι, αν καταχωρητής για οποιοδήποτε λόγο μεταβεί στην κατάσταση 0000₂, τότε κλειδώνεται στην κατάσταση αυτή και δεν μπορεί να

βγει από μόνος του. Συνήθως, ο καταχωρητής μεταβαίνει στην κατάσταση 0000_2 με το ξεκίνημά του. Επομένως, πρέπει να διασφαλιστεί ότι ο καταχωρητής θα ξεκινά από μια άλλη πλιν της κατάστασης 0000_2 .

Όλες οι συνδέσεις στην είσοδο της πύλης EXOR δεν δίνουν ακολουθία μέγιστου μήκους. Στον πίνακα 7.20 φαίνονται τις συναρτήσεις ανάδρασης προκειμένου να παρ-
θεί ακολουθία μέγιστου μήκους για καταχωρητές 1 έως και 18 ψηφίων.

Πίνακας 7.20

Αριθμός βαθμίδων	Εξίσωση ανάδρασης	Αριθμός βαθμίδων	Εξίσωση ανάδρασης
1	A	10	$G \oplus J$
2	$A \oplus B$	11	$I \oplus K$
3	$B \oplus C$	12	$F \oplus H \oplus K \oplus L$
4	$C \oplus D$	13	$I \oplus J \oplus L \oplus M$
5	$C \oplus E$	14	$D \oplus H \oplus M \oplus N$
6	$E \oplus F$	15	$N \oplus Q$
7	$F \oplus G$	16	$D \oplus M \oplus O \oplus P$
8	$D \oplus E \oplus F \oplus H$	17	$N \oplus Q$
9	$E \oplus I$	18	$K \oplus U$

ΠΑΡΑΔΕΙΓΜΑ 7.17

Να τροποποιηθεί το κύκλωμα του σχήματος 7.69 έτσι ώστε να ξεκινά από κατά-
σταση διαφορετική απ' την 0000_2 .

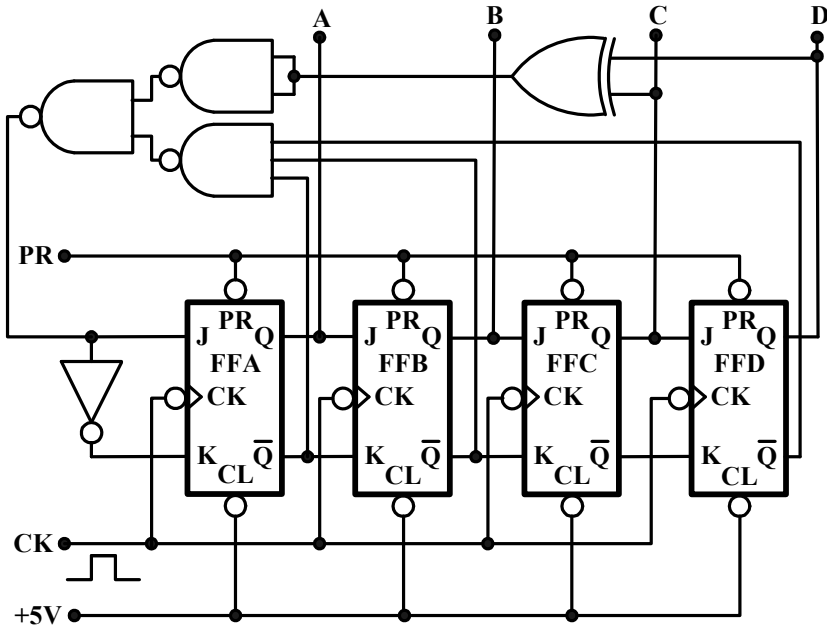
Για να ξεκινά το κύκλωμα από κατάσταση διαφορετική της 0000_2 θα πρέπει η κα-
τάσταση αυτή να συμπεριληφθεί στο κύκλωμα ανατροφοδότησης. Έτσι, η εξίσωση
ανατροφοδότησης θα πρέπει να γίνει,

$$f = C \oplus D + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$$

Απ' την εξίσωση αυτή συμπληρώνεται ο πίνακας Karnaugh.

		AB			
		00	01	11	10
CD	00	1	0	0	0
	01	1	1	1	1
	11	0	0	0	0
	10	1	1	1	1

$$f_{min} = C \oplus D + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$$



Σχήμα 7.70 Γεννήτρια ψευδοτυχαίων παλμών τεσσάρων βαθμίδων με αυτοεκκίνηση.

Η συνάρτηση που προκύπτει απ' τον πίνακα Karnaugh είναι η ελάχιστη συνάρτηση για το σήμα ανατροφοδότησης.

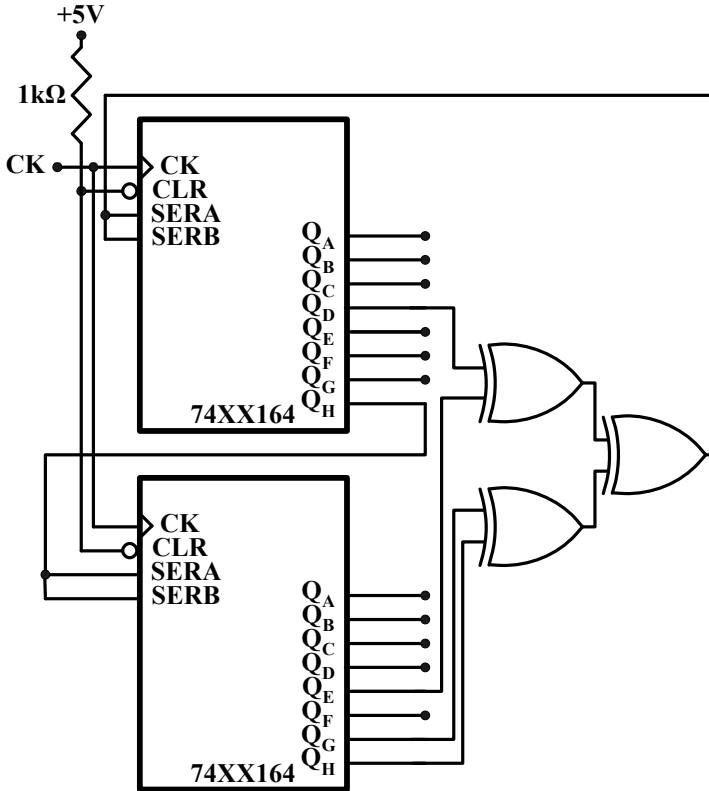
Με βάση τη συνάρτηση αυτή συντίθεται το κύκλωμα αυτοεκκίνησης του σχήματος 7.70.

ΠΑΡΑΔΕΙΓΜΑ 7.18

Να σχεδιαστεί ένα κύκλωμα ψευδοτυχαίων παλμών 16 βαθμίδων που θα χρησιμοποιεί δύο καταχωρητές 74XX164 και πύλες EXOR δύο εισόδων.

Κατ' αρχήν θα πρέπει να συνδεθούν οι δύο καταχωρητές έτσι ώστε να λειτουργούν ως ένας καταχωρητής 16 ψηφίων.

Στη συνέχεια πρέπει να παρθεί η έξοδος ανάδρασης. Αυτή παίρνεται απ' τον πίνακα 7.20 και με βάση αυτή συντίθεται το μέρος του κυκλώματος που θα δώσει το σήμα ανάδρασης στην είσοδο του καταχωρητή. Το κύκλωμα που θα προκύψει φαίνεται στο σχήμα 7.71.

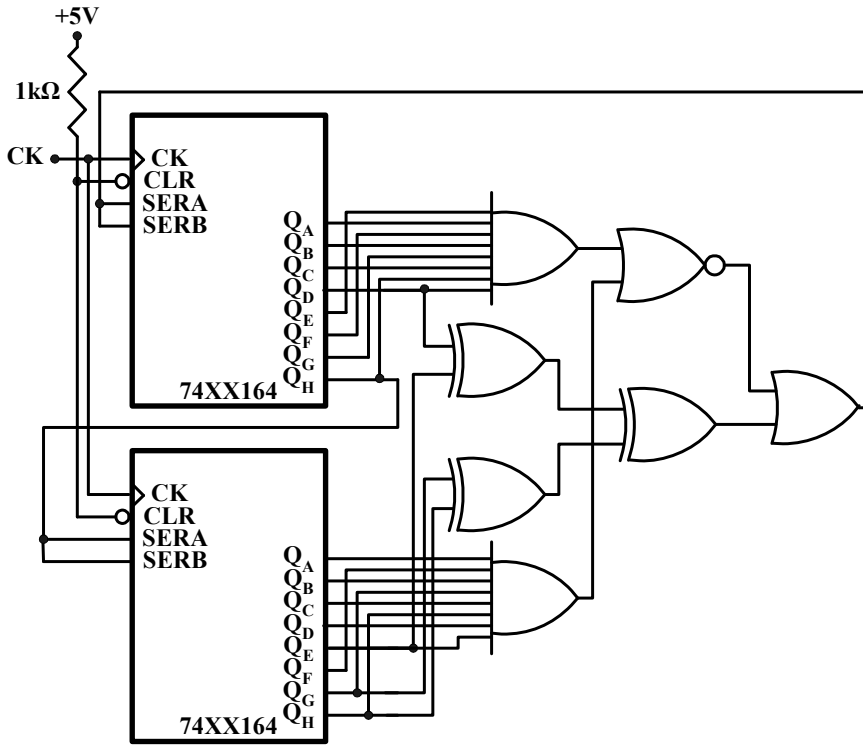


Σχήμα 7.71 Κύκλωμα ψευδοτυχαίων παλμών 16 βαθμίδων

Σύμφωνα με το προηγούμενο παράδειγμα για να ξεκινά το κύκλωμα από κατάσταση διαφορετική της 0_{10} , θα πρέπει η κατάσταση αυτή να συμπεριληφθεί στο κύκλωμα ανατροφοδότησης. Έτσι, η εξίσωση ανατροφοδότησης θα πρέπει να γίνει:

$$\begin{aligned}
 f &= C \oplus D + \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} \cdot \overline{E} \cdot \overline{F} \cdot \overline{G} \cdot \overline{H} \cdot \overline{I} \cdot \overline{J} \cdot \overline{K} \cdot \overline{L} \cdot \overline{M} \cdot \overline{N} \cdot \overline{O} \cdot \overline{P} \\
 &= C \oplus D + \overline{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} \cdot \overline{E} \cdot \overline{F} \cdot \overline{G} \cdot \overline{H} \cdot \overline{I} \cdot \overline{J} \cdot \overline{K} \cdot \overline{L} \cdot \overline{M} \cdot \overline{N} \cdot \overline{O} \cdot \overline{P}} \\
 &= C \oplus D + \overline{(A + B + C + D + E + F + G) + (I + J + K + L + M + N + O + P)} \\
 f &= C \oplus D + \overline{(A + B + C + D + E + F + G) + (I + J + K + L + M + N + O + P)}
 \end{aligned}$$

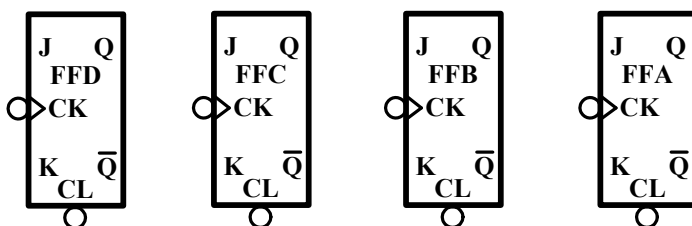
Με βάση την εξίσωση αυτή για την έξοδο ανατροφοδότησης συντίθεται το κύκλωμα ψευδοτυχαίων παλμών 16 βαθμίδων με αυτοεκκίνηση, που φαίνεται στο σχήμα 7.72.



Σχήμα 7.72 Κύκλωμα ψευδοτυχαίων παλμών 16 βαθμίδων με αυτοεκκίνηση.

ΕΡΩΤΗΣΕΙΣ-ΑΣΚΗΣΕΙΣ-ΠΡΟΒΛΗΜΑΤΑ

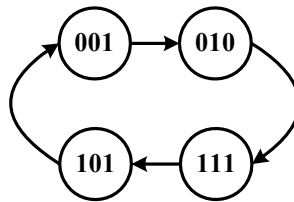
- 7.1 Αν υποθεθεί ότι ο μετρητής που φαίνεται στο σχήμα 7.1 κρατά τη μέτρηση 1011_2 , ποια θα είναι τα περιεχόμενά του μετά από είκοσι τέσσερις παλμούς ρολογιού;
- 7.2 Αν υποθεθεί ότι ο μετρητής που φαίνεται στο σχήμα 7.2 κρατά τη μέτρηση 1001_2 , ποια θα είναι τα περιεχόμενά του μετά από δεκατέσσερις παλμούς ρολογιού;
- 7.3 Αλήθεια ή ψέμα: Σ' ένα ασύγχρονο δυαδικό μετρητή όλα τα flip-flop αλλάζουν κατάσταση ταυτόχρονα.
- 7.4 Γιατί οι ασύγχρονοι δυαδικοί μετρητές δεν μπορούν να χρησιμοποιηθούν σε συστήματα υψηλών συχνοτήτων ρολογιού;
- 7.5 Αλήθεια ή ψέμα: Όλοι οι μετρητές BCD είναι δεκαδικοί μετρητές.
- 7.6 Ποια θα είναι η συχνότητα του σήματος εξόδου ενός δεκαδικού μετρητή, όταν η συχνότητα του ρολογιού είναι 50kHz;
- 7.7 Να σχεδιαστεί ένας ασύγχρονος αύξων δυαδικός μετρητής που θα μετρά δώδεκα γεγονότα και θα δίνει έξοδο "1" μετά τη μέτρηση του τελευταίου γεγονότος.
- 7.8 Ένας δυαδικός μετρητής οκτώ ψηφίων δέχεται ρολόι 8MHz. Ποια θα είναι η συχνότητα του σήματος στην έξοδο πέντε και ποια στην έξοδο οκτώ; Ποιος είναι ο κύκλος ενεργού λειτουργίας της εξόδου στις δύο περιπτώσεις;
- 7.9 Ποια μέτρηση θα δείχνει ένας αύξων μετρητής οκτώ ψηφίων μετά από 258 παλμούς ρολογιού;
- 7.10 Στα flip-flop του σχήματος 7.73 να γίνουν οι απαραίτητες συνδέσεις ώστε να λειτουργεί ως ένας ασύγχρονος αύξων μετρητής που θα μετρά απ' το 0-14. Ποια θα είναι η συχνότητα του σήματος στην έξοδο Α αν υποθεθεί ότι η συχνότητα ρολογιού είναι 50kHz; Ποιος θα είναι ο κύκλος ενεργού λειτουργίας του παλμού εξόδου;



Σχήμα 7.73

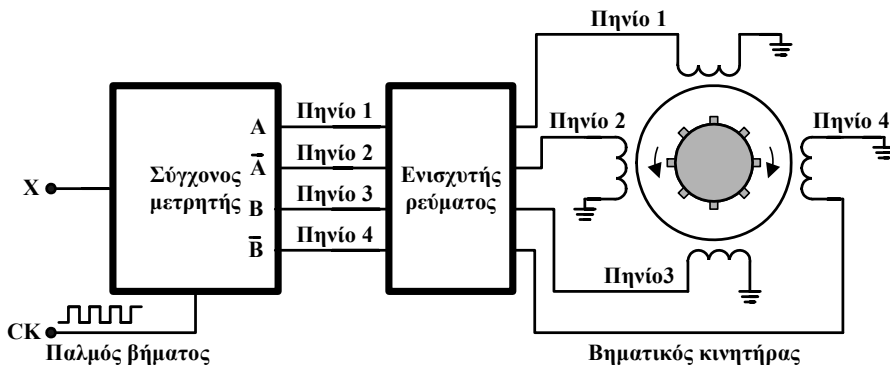
- 7.11 Να σχεδιαστεί ένας αύξων σύγχρονος μετρητής MOD-10 που θα μετρά στον κώδικα 5211 και θα χρησιμοποιεί D flip-flops.
- 7.12 Να σχεδιαστεί ένας αύξων-φθίνων MOD-8 σύγχρονος δυαδικός μετρητής που θα μετρά στο δυαδικό σύστημα και θα χρησιμοποιεί D flip-flop.
- 7.13 Να σχεδιαστεί ένας φθίνων σύγχρονος δυαδικός μετρητής MOD-10 που θα μετρά στον κώδικα GRAY και θα χρησιμοποιεί J-K flip-flop.
- 7.14 Να σχεδιαστεί ένας αύξων MOD-13 σύγχρονος δυαδικός μετρητής που θα μετρά στο δυαδικό σύστημα και θα χρησιμοποιεί D flip-flop.

- 7.15 Να σχεδιαστεί ένα κύκλωμα μετρητή MOD-8 με μια επιπλέον είσοδο ελέγχου X τέτοια, που όταν η είσοδος αυτή είναι σε λογικό "1" ο μετρητής μετρά αυξητικά στο σύστημα 8421_{BCD}, ενώ όταν η είσοδος είναι σε λογικό "0", ο μετρητής μετρά αυξητικά στο κώδικα GRAY. Το κύκλωμα θα χρησιμοποιεί D flip flop.
- 7.16 Να σχεδιαστεί ένας αύξων-φθίνων MOD-8 σύγχρονος δυαδικός μετρητής που θα μετρά στον Κώδικα Gray και θα χρησιμοποιεί J-K flip-flop.
- 7.17 Να σχεδιαστεί ένας φθίνων σύγχρονος δυαδικός μετρητής που θα μετρά στον κώδικα «υπέρβασης 3» και θα χρησιμοποιεί J-K flip-flop.
- 7.18 Να σχεδιαστεί ένας φθίνων σύγχρονος μετρητής MOD-10 που θα μετρά στον κώδικα 5211 και θα χρησιμοποιεί D J-K flip-flop.
- 7.19 Να σχεδιαστεί ένας σύγχρονος αύξων δυαδικός μετρητής που θα μετρά στον κώδικα 2421 και θα χρησιμοποιεί J-K flip-flop.
- 7.20 Να σχεδιαστεί ένας σύγχρονος φθίνων δυαδικός μετρητής που θα μετρά στον κώδικα 2421 και θα χρησιμοποιεί J-K flip-flop.
- 7.21 Να σχεδιαστεί ένας σύγχρονος αύξων δυαδικός μετρητής, που θα μετρά στον κώδικα 2421 και θα χρησιμοποιεί S-R-CK flip-flop.
- 7.22 Να σχεδιαστεί ένας μετρητής, που θα μετρά την ακολουθία, που φαίνεται στο διάγραμμα καταστάσεων του σχήματος 7.74, και θα χρησιμοποιεί J-K flip-flop.



Σχήμα 7.74

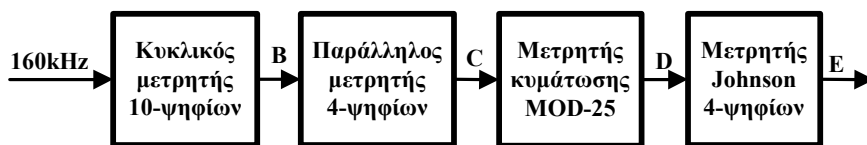
- 7.23 Ο βηματικός κινητήρας χρησιμοποιείται ευρέως όταν πρόκειται να γίνει ακριβής έλεγχος θέσης, γιατί περιστρέφεται με ακριβή βήματα (τυπικά 15° ανά βήμα). Η κίνηση γίνεται με τη βοήθεια μαγνητικών τυλιγμάτων, που ενεργοποιούνται και απενεργοποιούνται με συγκεκριμένη ακολουθία.



Σχήμα 7.75

Για να λειτουργήσει σωστά ο κινητήρας πρέπει τα πηνία 1 και 2 να μην είναι ταυτόχρονα ενεργοποιημένα, όταν δηλαδή το πηνίο 1 είναι ενεργοποιημένο, το πηνίο 2 να είναι απενεργοποιημένο και αντίστροφα. Το ίδιο ισχύει και για τα πηνία 3 και 4. Όπως φαίνεται στο σχήμα 7.75, μπορεί να χρησιμοποιηθεί ένας σύγχρονος μετρητής δύο ψηφίων για τον έλεγχο του κινητήρα. Ο βηματικός κινητήρας θα πρέπει να μπορεί να περιστρέφεται προς τη φορά των δεικτών του ρολογιού και αντίστροφα. Η φορά περιστροφής του κινητήρα θα ελέγχεται απ' την είσοδο X. Ζητείται να σχεδιαστεί το σύγχρονο ακολουθιακό κύκλωμα (σύγχρονος αύξων/φθίνων μετρητής) που θα χρησιμοποιεί J-K flip-flop και θα ελέγχει την περιστροφή του κινητήρα.

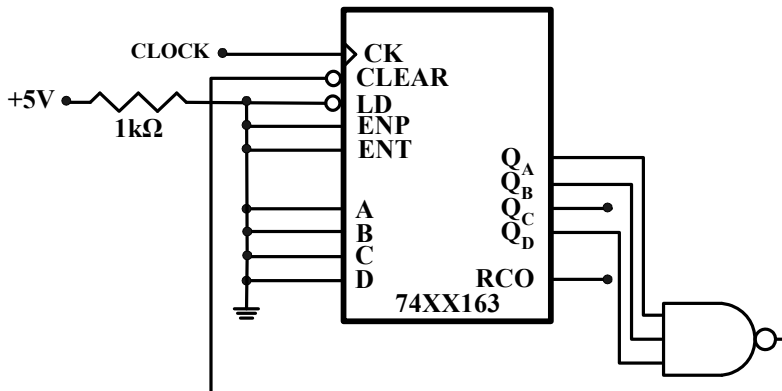
- 7.24** Να σχεδιαστεί ένας μετρητής διαίρεσης με το 5 που χρησιμοποιεί J-K flip-flop και να δειχτεί ο τρόπος με τον οποίο μπορεί να χρησιμοποιηθεί μαζί μ' ένα μετρητή διαίρεσης με το 2, προκειμένου να δημιουργηθεί ένας μετρητής διαίρεσης με το 10. Να σχεδιαστούν τα διαγράμματα χρονισμού του κυκλώματος.
- 7.25** Ένα σύστημα συναγερμού πρόκειται να επιλέξει τον αριθμό τηλεφώνου 6977595997 κάθε φορά που κάποιος ανεπιθύμητος επισκέπτης βρεθεί στον προστατευόμενο χώρο. Η γεννήτρια του αριθμού αποτελείται από έναν αποκωδικοποιητή του οποίου οι είσοδοι είναι οι έξοδοι ενός δεκαδικού μετρητή. Το κύκλωμα ενεργοποιείται με την παρουσία του ανεπιθύμητου επισκέπτη. Ο μετρητής μετρά απ' το 0 έως το 9 και στην έξοδο του αποκωδικοποιητή παρουσιάζονται τα ψηφία του τηλεφωνικού αριθμού. Να σχεδιαστεί το κύκλωμα χρησιμοποιώντας J-K flip-flop και τις απαραίτητες πύλες.
- 7.26** Δείξτε το τρόπο με τον οποίο μπορούν να συνδεθούν τέσσερις μετρητές 74XX163 προκειμένου να σχηματιστεί ένας μετρητής δεκαέξι ψηφίων.
- 7.27** Εξηγήστε γιατί οι πύλες αποκωδικοποίησης ενός ασύγχρονου μετρητή μπορεί να παρουσιάζουν αιχμές στις εξόδους τους; Με ποιους τρόπους μπορεί να γίνει η εξάφανιση των αιχμών.
- 7.28** Πόσοι BCD μετρητές χρειάζονται για να μετρήσουν από 0 μέχρι τον αριθμό 999; Πόσα flip-flop χρειάζονται; Συγκρίνατε αυτό με τον αριθμό των flip-flop, που χρειάζονται για ένα κανονικό δυαδικό μετρητή να μετρήσει τον ίδιο αριθμό. Αφού χρειάζονται περισσότερα flip-flop, γιατί προτιμούνται οι μετρητές BCD;
- 7.29** Να υπολογιστεί η συχνότητα του σήματος στα σημεία B, C, D και E του κυκλώματος που φαίνεται στο σχήμα 7.76



Σχήμα 7.76

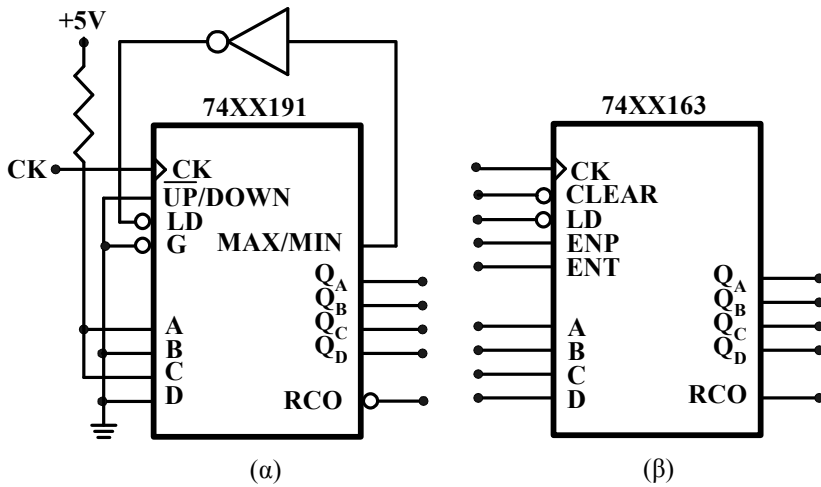
- 7.30** Να αναφερθεί ο μετρητής στον οποίο αφορά κάθε μια απ' τις παρακάτω δηλώσεις:
- A. Όλα τα flip-flop πυροδοτούνται ταυτόχρονα.

- B. Κάθε flip-flop διαιρεί τη συχνότητα του ρολογιού δια 2.
 Γ. Έχει την ακολουθία μέτρησης $111_2, 110_2, 101_2, 100_2, 011_2, 010_2, 001_2, 000_2$.
 Δ. Ο μετρητής έχει δέκα διαφορετικές καταστάσεις.
 Ε. Η ολική καθυστέρηση διάδοσης είναι το άθροισμα των καθυστερήσεων διάδοσης των επιμέρους flip-flop.
 ΣΤ. Ο μετρητής δεν χρειάζεται λογική αποκωδικοποίησης.
 Ζ. Ο αριθμός μέτρησης είναι διπλάσιος του αριθμού των χρησιμοποιηθέντων flip-flop.
 Η. Διαιρεί τη συχνότητα ρολογιού δια του αριθμού μέτρησής του.
 Θ. Αρχίζει τη μέτρησή του από οποιαδήποτε επιθυμητή αρχική μέτρηση.
 Ι. Μπορεί να μετρήσει και κατά τις δύο κατευθύνσεις.
 Κ. Μπορεί να έχει προβλήματα αιχμών αποκωδικοποίησης.
 Λ. Μετρά από 0-99.
 Μ. Μπορεί να σχεδιαστεί να μετρά σε οποιαδήποτε ακολουθία με το να υπολογιστούν τα λογικά κυκλώματα των εισόδων J και K κάθε flip-flop.
- 7.31** Σε σχέση με το κύκλωμα του σχήματος 7.77:



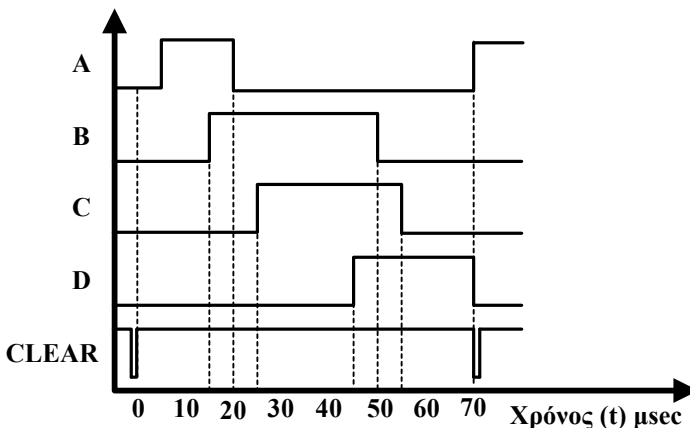
Σχήμα 7.77

- α. Να σχεδιαστεί το διάγραμμα καταστάσεων του μετρητή.
 β. Να βρεθεί το MOD του μετρητή.
 γ. Αν η συχνότητα του ρολογιού είναι 1MHz, να υπολογιστεί συχνότητα του σήματος στην έξοδο Q_D .
 δ. Να υπολογιστεί ο κύκλος ενεργού λειτουργίας του σήματος στην έξοδο Q_D .
- 7.32** Σε σχέση με το κύκλωμα του σχήματος 7.80α:
- α. Να σχεδιαστεί το διάγραμμα καταστάσεων του μετρητή.
 β. Να βρεθεί το MOD του μετρητή.
 γ. Αν η συχνότητα του ρολογιού είναι 100kHz, να υπολογιστεί συχνότητα του σήματος στην έξοδο Q_D .
 δ. Είναι αύξων ή φθίνων μετρητής;
 ε. Μπορεί η ίδια λειτουργία να υλοποιηθεί με τον μετρητή 74XX163 του σχήματος 7.80β; Αν ναι να γίνουν οι απαραίτητες συνδέσεις.



Σχήμα 7.80

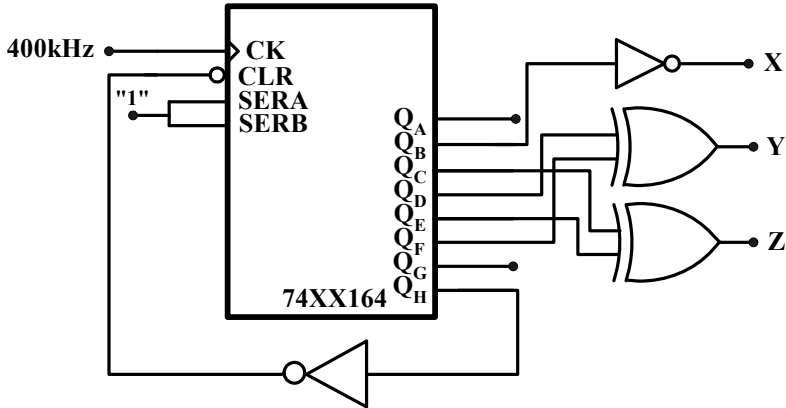
- 7.33 Ποια κατηγορία καταχωρητών μπορεί να φορτωθεί, με μία μόνο λειτουργία, με ένα αριθμό και στη συνέχεια να τον αποδώσει ψηφίο με ψηφίο;
- 7.34 Σε ποια κατηγορία καταχωρητών η πληροφορία φορτώνεται ψηφίο με ψηφίο και είναι διαθέσιμη στις εξόδους ταυτόχρονα.
- 7.35 Αν τα περιεχόμενα ενός καταχωρητή 12 ψηφίων είναι 10101101001_2 ποια θα είναι τα περιεχόμενά του μετά από: α. τρεις ολισθήσεις προς τ' αριστερά. β. Τέσσερις ολισθήσεις προς τα δεξιά, όταν η σειριακή είσοδος είναι συνδεδεμένη στο "0".
- 7.36 Ένας καταχωρητής ολίσθησης περιέχει τον αριθμό 48. Πως θα πολλαπλασιάζονταν ο αριθμός αυτός με το 16; Πως θα διαιρούνταν με τον αριθμό 8;
- 7.37 Να σχεδιαστεί ένα κύκλωμα ελέγχου χρονισμού με καταχωρητές ολίσθησης, που θα παράγει τους παλμούς που φαίνονται στο σχήμα 7.79.



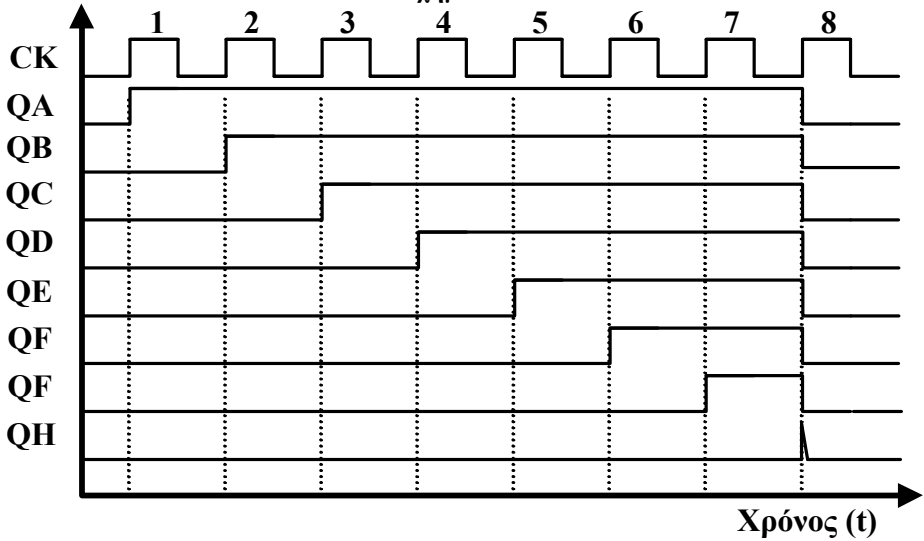
Σχήμα 7.79

- 7.38 Με βάση το κύκλωμα του σχήματος 7.80 να συμπληρωθούν στο σχήμα 7.81 οι χρόνοι στον άξονα χρόνου. Στο σχήμα 7.82 να σχεδιαστούν ως συναρτήσεις του

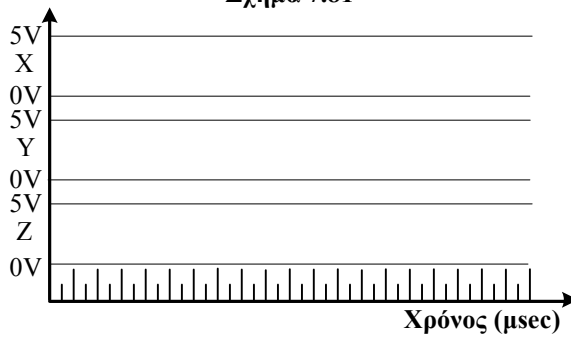
χρόνου δύο τουλάχιστον κύκλοι των εξόδων του κυκλώματος. Οι εξοδοί είναι επαναλαμβανόμενες. Το ξεκίνημα να γίνει απ' την κατάσταση $X=Y=Z=0$.



Σχήμα 7.81

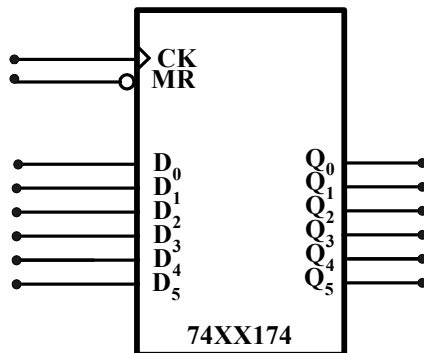


Σχήμα 7.81



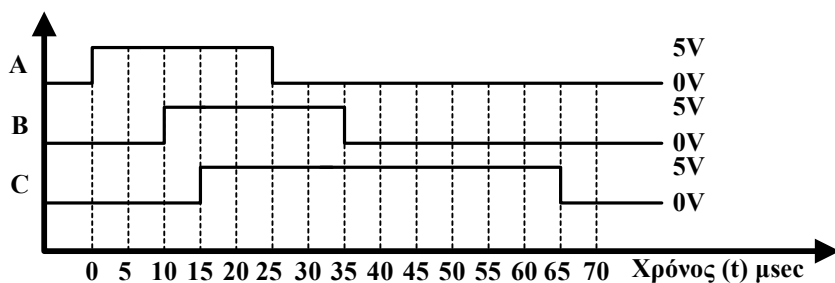
Σχήμα 7.82

7.39 Το ολοκληρωμένο 74XX174 που φαίνεται στο σχήμα 7.83 είναι ένας καταχωρητής έξι ψηφίων με παράλληλη είσοδο, παράλληλη έξοδο. Η είσοδος MR μηδενίζει όλα τα flip-flop. Να δειχτεί ο τρόπος με τον οποίο μπορεί να συνδεθεί για να λειτουργεί ως ένας καταχωρητής ολίσθησης με σειριακή είσοδο την D_5 και έξοδο την Q_0 .



Σχήμα 7.83

7.40 Να σχεδιαστεί ένα κύκλωμα χρονισμού που θα παράγει τους παλμούς που φαίνονται στο σχήμα 7.84, χρησιμοποιώντας: α. ένα πολυδονητή μιας κατάστασης, β. έλεγχο χρονισμού με καταχωρητές ολίσθησης.



Σχήμα 7.84

- 7.41** Με τη χρήση δύο ολοκληρωμένων 74XX164, να σχεδιαστεί ένας κυκλικός μετρητής 13-ψηφίων που θα περιφέρει ένα "1" σε 12 "0".
- 7.42** Να σχεδιαστεί ένας κυκλικός μετρητής που θα χρησιμοποιεί ένα ολοκληρωμένο 74XX194 και θα περιφέρει ένα "1" σε 3 "0".
- 7.43** Να σχεδιαστεί ένας κυκλικός μετρητής που θα χρησιμοποιεί ένα ολοκληρωμένο 74XX194 και θα περιφέρει ένα "1" σε 3 "0".
- 7.44** Να σχεδιαστεί ένας κυκλικός μετρητής που θα χρησιμοποιεί ένα ολοκληρωμένο 74XX194 και θα περιφέρει ένα "0" σε 3 "1".
- 7.45** Να σχεδιαστεί ένας μετρητής Johnson που θα χρησιμοποιεί ένα ολοκληρωμένο 74XX194.